

Sommersemester
2019

Masterarbeit

Troost Michael

Untersuchung von verschiedenen Ansteuerungsstrategien für
dreiphasige ANPC Batterie- und Solarwechselrichter mit SiC-
Halbleiterschaltelementen

Erstbetreuerin:	Prof. Dr.-Ing. habil. Ute Diemar
Zweitbetreuer:	Prof. Dr.-Ing. Steffen Jäger

Eidesstattliche Erklärung

Ich erkläre hiermit an Eides statt, dass ich die vorliegende Master-Thesis zum Thema: „Untersuchung von verschiedenen Ansteuerungsstrategien für dreiphasige ANPC Batterie- und Solarwechselrichter mit SiC-Halbleiterschaltelementen“ selbstständig verfasst und ohne unzulässige fremde Hilfe angefertigt habe.

Die verwendeten Literaturquellen sind im Literaturverzeichnis vollständig zitiert.

Ich versichere zudem, dass die eingereichte elektronische Fassung mit der gedruckten Fassung übereinstimmt.

Stegen 30.08.2019

Ort

Datum

Unterschrift

Abstract

Author:	Michael Troost
Advisor:	Prof. Dr.-Ing. habil. Ute Diemar Prof. Dr.-Ing. Steffen Jäger
Semester:	Summer semester 2019
Topic:	Investigation of different modulation strategies for three-phase ANPC battery and solar inverters with SiC semiconductor switching elements

This master thesis investigates different modulation strategies for three-phase Active-Neutral-Point-Clamped (ANPC) medium voltage converters with silicon carbide (SiC) semiconductor switching elements. Because of the large number of active switching elements in the ANPC topology many different modulation strategies were developed to generate the predefined Inverter output signal. Depending on the selected modulation strategy, the factors switching and conduction losses, efficiency, loss distribution, breaker and output switching frequency, the total harmonic distortion of the output signal and the maximum voltage stress of the semiconductors can be influenced.

Apart from the electrical description of the currently used converter technologies, this thesis primarily collected from the latest publications and dissertations various possibilities of modulation strategies to control ANPC inverters and examined a total of seven sinus pulse width modulation strategies (S-PWM) in detail. For each of the presented modulation strategies the core principle is described, analysed and shown in a unified visualization. Based on those investigations the resulting advantages and disadvantages of every modulation strategy were deduced.

Subsequently, all presented S-PWM strategies were implemented in the electrical circuit simulation software PLECS and were simulated in different operating states. The results of the simulations led to the following observations: the strategy ANPC-ALD achieves the best result of power distribution between all included semiconductor elements, the ANPC-OOZS strategy achieves the lowest conduction losses and the strategies ANPC-DF, -12, -R2:1 and -SSLD generate while the zero crossing of the output signal critical short overvoltages on the inner semiconductors. Simultaneously the ANPC-11-Sync, -ALD and -OOZS strategies do not produce such overvoltages.

Based on these simulation results and for the potential use in medium-voltage converters, the strategies ANPC-DF, -ALD and -OOZS were selected, implemented on an FPGA board and take into operation on a low-voltage test platform. With practical measurements on this test platform the simulation results could be verified in a first step. In future the created simulation model and the running test platform can be used for additional investigations in the field of ANPC inverter modulation strategies.

Kurzfassung

Autor:	Michael Troost
Betreuer:	Prof. Dr.-Ing. habil. Ute Diemar Prof. Dr.-Ing. Steffen Jäger
Semester:	Sommersemester 2019
Thema:	Untersuchung von verschiedenen Ansteuerungsstrategien für dreiphasige ANPC Batterie- und Solarwechselrichter mit SiC-Halbleiterschalt-elementen

In der vorliegenden Masterarbeit wurden verschiedene Ansteuerungsstrategien für den Betrieb von dreiphasigen Active-Neutral-Point-Clamped- (ANPC) Mittelspannungs-Netzumrichtern mit Siliziumkarbid (SiC) Halbleiterschalt-elementen untersucht. Durch die Vielzahl an aktiven Schaltelementen können bei der ANPC-Topologie zur Modellierung des gewünschten Ausgangssignals zahlreiche unterschiedliche Ansteuerungsstrategien eingesetzt werden. Je nach gewählter Ansteuerungsstrategie können so unter anderem die Faktoren Schalt- und Durchlassverluste, Wirkungsgrad, Verlustverteilung, Schalter- und Ausgangsschaltfrequenz, der Oberschwingungsanteil des Ausgangssignals, sowie die maximale Spannungsbelastung der Halbleiter beeinflusst werden.

Neben der elektrotechnischen Beschreibung der aktuell eingesetzten Umrichter-Technologien wurden in dieser Arbeit primär aus aktuellen Veröffentlichungen und Dissertationen verschiedene Möglichkeiten für die Ansteuerung von ANPC-Umrichter zusammengetragen und insgesamt sieben Sinus-Pulsweiten-Modulationsstrategien (S-PWM) im Detail untersucht. Hierbei wurde für jede vorgestellte Modulationsstrategie das Grundfunktionsprinzip aufgezeigt und analysiert, sowie die sich daraus ergebenden Vor- und Nachteile herausgearbeitet.

Anschließend wurden alle vorgestellten S-PWM-Strategien in der Schaltungssimulationssoftware PLECS implementiert und diese in verschiedenen Betriebszuständen simuliert. Die Simulation ergab, dass sich bei der ANPC-ALD-Strategie eine bestmögliche Verlustverteilung zwischen den Halbleiterelementen einstellt, bei der ANPC-00ZS-Strategie die geringsten Durchlassverluste entstehen und bei den Strategien ANPC-DF, -12, -R2:1 und -SSLD im Bereich der Nulldurchgänge des Ausgangssignals an den inneren Halbleitern kurzzeitige kritische Überspannungen auftreten. Bei den Strategien ANPC-11-Sync, -ALD und -00ZS treten dagegen keine Überspannungen an den Halbleitern auf.

Ausgehend von diesen Simulationsergebnissen wurden die Strategien ANPC-DF, -ALD und -00ZS für den potentiellen Einsatz in Mittelspannungsumrichtern ausgewählt, auf einem FPGA-Board implementiert und damit eine geeignete Niederspannungstestplattform in Betrieb genommen. Durch praktische Messungen auf dieser Testplattform konnten die Simulationsergebnisse in einem ersten Schritt verifiziert werden. Sowohl das erstellte Simulationsmodell als auch die in Betrieb genommene Testplattform können somit zukünftig für weitere Untersuchungen im Bereich der ANPC-Umrichter-Ansteuerungsstrategien eingesetzt werden.

Inhaltsverzeichnis

Eidesstattliche Erklärung

Abstract

Kurzfassung

Inhaltsverzeichnis

Abbildungsverzeichnis

Tabellenverzeichnis

Abkürzungsverzeichnis

Verzeichnis der verwendeten Symbole

Vorwort

1. Einleitung	19
1.1 Vorgaben und Herausforderungen der deutschen Energieversorgung	19
1.2 Grundlegende Motivation für die Weiterentwicklung der Umrichter-Technologie	20
1.3 Aufgabenstellung und Zielsetzung	21
1.4 Aufbau der Arbeit	22
2. Elektrotechnische Grundlagen	23
2.1 Grundlegende Betriebsarten von Umrichtern	23
2.2 Betriebsquadranten von Wechselrichtern	24
2.3 Grundaufbau und Funktion eines Wechselrichters	25
2.4 Zweistufige Wechselrichterschaltungen	29
2.4.1 Halbbrücke	30
2.4.2 Vollbrücke	31
2.5 Dreistufige Wechselrichterschaltungen	33
2.5.1 Neutral-Point-Clamped (NPC) -Wechselrichter	33
2.5.2 Active Neutral-Point-Clamped (ANPC) -Wechselrichter	37
2.6 Eingesetzte Leistungshalbleiter	41
2.7 Schaltverhalten von idealen und realen Schaltern	43
2.8 Grund und Auswirkung der Implementierung von Verzögerungszeiten bei der Wechselrichteransteuerung	45
2.9 Überspannungen an Leistungshalbleitern durch parasitäre Kapazitäten	47
2.10 Aufbau und Funktion eines FPGA-Boards	49
3. Modulationsstrategien zur Ansteuerung von ANPC-Wechselrichtern	51

3.1	Modulationsstrategie ANPC-11-Sync	51
3.2	Modulationsstrategie ANPC-12	54
3.3	Modulationsstrategie ANPC-DF	57
3.4	Modulationsstrategie ANPC-ALD	59
3.5	Modulationsstrategie ANPC-R2:1	64
3.6	Modulationsstrategie ANPC-OOZS	67
3.7	Modulationsstrategie ANPC-SSLD	69
3.8	Optimierung von dreiphasigen S-PWM-Modulations-strategien durch Injektion der 3. Harmonischen	71
3.9	Grundlagen der Raumzeigermodulation	73
4.	Simulation verschiedener Modulationsstrategien für dreiphasige ANPC-Wechselrichter	76
4.1	Elektrische Simulation der leistungselektronischen- dreiphasigen- ANPC-Wechselrichterschaltung in PLECS	76
4.2	Implementierung der Halbleiter-Ansteuerungsstrategien	80
4.3	Definition der durchzuführenden Messungen in der erstellten PLECS-Simulation für die verschiedenen S-PWM-Strategien	83
4.4	Vorstellung und Vergleich der Simulationsergebnisse	84
4.4.1	Vergleich der Simulationsergebnisse für verschiedene Verzögerungs-zeiten – Messsszenario (1)	84
4.4.2	Vergleich der Simulationsergebnisse für verschiedene Lastzustände - Messsszenario (2)	86
4.4.3	Vergleich der Simulationsergebnisse für verschiedene Leistungsfaktoren – Messsszenario (3)	88
4.4.4	Vergleich der Simulationsergebnisse der auftretenden Halbleiterspannungen für verschiedene Leistungsfaktoren unter Messsszenario (4)	94
4.5	Klassifizierung der Modulationsstrategien nach Anwendungsgebieten	96
5.	FPGA Implementierung	98
6.	Inbetriebnahme und Durchführung praktischer Messungen der Modulationsstrategien ANPC-DF, -ALD und -OOZS auf einer Testplattform	103
6.1	Messaufbau und Inbetriebnahme der ANPC-Umrichter-Schaltung	103
6.2	Ergebnisse der Wirkungsgradmessung für die Strategien ANPC-DF, -OOZS und -ALD in verschiedenen Lastzuständen	106
7.	Schlussbetrachtung	108
7.1	Zusammenfassung	108
7.2	Ausblick	109
8.	Literaturverzeichnis	111
9.	Anhänge	I
9.1	PLECS-Verlustmodelle für E_{on} , E_{off} und E_{cond} für den Leistungs-MOSFET vom Typ C3M0120090D	I
9.2	Berechnung des ohmschen Widerstands für die Lastzustände zwischen 5% und 110% Umrichter-Nennlast	III
9.3	Berechnung von R und L für verschiedene Arbeitspunkte	IV

9.4 Aufbau der Messung für Schein-, Wirk- und Blindleistung sowie Wirkungsgrad in der PLECS-Simulation	V
9.5 PLECS-Ansteuerungscontroller zur Simulation der S-PWM-Modulationsstrategien ANPC-11-Sync, -12, -DF, -ALD, -R2:1, -OOZS und -SSLD	VI
9.6 PLECS-Scripts zur automatisierten Simulations-durchführung	XIII
9.7 PLECS-Simulationsergebnisse der maximalen Spannungen an den Halbleitern für verschiedene $\cos(\varphi)$ Werte	XV
9.8 Neu entwickelte Schaltmusterkombination basierend auf den Modulationsstrategien ANPC-DF und -OOZS	XIX

Abbildungsverzeichnis

Abb. 1: Vorgaben des Pariser Klimaschutzübereinkommen zur Reduzierung der Treibhausgasemissionen und zum Anteil der erneuerbaren Energiequellen an der Gesamtenergieerzeugung [3, p. 8]	19
Abb. 2: Elektrischer Übersichtsplan für die Mittelspannungsankopplung eines Hochleistungsbatteriespeicherkraftwerks	21
Abb. 3: Grundfunktionen der elektrischen Energieumformung in der Leistungselektronik [11, p. 2]	23
Abb. 4: Einteilung der vier Betriebsquadranten im U-I Koordinatensystem (links) dazugehörige Strom- und Spannungsverläufe am Ausgang eines Umrichters mit einer Phasenverschiebung von $\pi/3$ (Rechts) [13, p. 12]	24
Abb. 5: Blockweise Darstellung der Grundbestandteile eines Wechselrichters	25
Abb. 6: Grundlegende Darstellung der Schaltsignalerzeugung für die Leistungshalbleiteransteuerung einer NPC-Schaltung mittels S-PWM-Modulation durch Vergleich eines Referenzsignals mit zwei Phasen und Y-Achsen verschobenen Dreieck-Trägersignalen	26
Abb. 7: Spannungsverlauf am Brückenausgang (1.Grafik) sowie Strom- und Spannungsverlauf an der Filter-Induktivität (2.Grafik) und -Kapazität (3.Grafik) für die Schaltfrequenz 2 kHz	27
Abb. 8: Spannungsverlauf am Brückenausgang (1.Grafik) sowie Strom- und Spannungsverlauf an der Filter-Induktivität (2.Grafik) und -Kapazität (3.Grafik) für die Schaltfrequenz 16 kHz	28
Abb. 9: Aufbau und mögliche Schaltzustände der Halbbrückenschaltung [14, p. 17]	30
Abb. 10: Einfache Modulationsstrategie für die Ansteuerung einer Halbbrückenschaltung zur Erzeugung einer bipolaren Brückenausgangsspannung	31
Abb. 11: Aufbau und mögliche Schaltzustände der Vollbrückenschaltung [14, p. 43]	31
Abb. 12: Modulationsstrategie für die Ansteuerung einer Vollbrückenschaltung zur Erzeugung einer unipolaren Brückenausgangsspannung [14, p. 50]	33
Abb. 13: Aktiv- und Freilaufschaltzustand der NPC-Topologie im 1. Betriebsquadranten ($u_{\text{Last}} > 0 / i_{\text{Last}} > 0$) [13, p. 22]	35
Abb. 14: Aktiv- und Freilaufschaltzustand der NPC-Topologie im 3. Betriebsquadranten ($u_{\text{Last}} < 0 / i_{\text{Last}} < 0$) [13, p. 22]	35
Abb. 15: Aktiv- und Freilaufschaltzustand der NPC-Topologie im 4. Betriebsquadranten ($u_{\text{Last}} > 0 / i_{\text{Last}} < 0$) [13, p. 23]	35
Abb. 16: Aktiv- und Freilaufschaltzustand der NPC-Topologie im 2. Betriebsquadranten ($u_{\text{Last}} < 0 / i_{\text{Last}} > 0$) [13, p. 23]	36
Abb. 17: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die konventionelle Modulationsstrategie der NPC-Topologie	36

Abb. 18: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 1. Betriebsquadranten ($u_{\text{Last}} > 0 / i_{\text{Last}} > 0$) [13, p. 29]	38
Abb. 19: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 3. Betriebsquadranten ($u_{\text{Last}} < 0 / i_{\text{Last}} < 0$) [13, p. 30]	39
Abb. 20: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 4. Betriebsquadranten ($u_{\text{Last}} > 0 / i_{\text{Last}} < 0$) [13, p. 31]	39
Abb. 21: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 2. Betriebsquadranten ($u_{\text{Last}} < 0 / i_{\text{Last}} > 0$) [13, p. 31]	40
Abb. 22: Vergleich des Schaltverhalten von idealen (links) und realen (rechts) Schaltern	44
Abb. 23: Strom- und Spannungsverläufe eines weich einschaltenden Schalters (links) und eines weich ausschaltenden Schalters (rechts) [21, p. 4]	44
Abb. 24: Darstellung einer Verzögerungszeit von $5\mu\text{s}$ zwischen dem Ausschaltzeitpunkt von T5 und dem Einschaltzeitpunkt von T1 (X-Achsenskala $1\text{e-}2$)	46
Abb. 25: Übertriebene Darstellung der Formfaktorveränderung eines Sinusverlaufes für eine implementierte Verzögerungszeit von 2000ns	47
Abb. 26: Entstehung von parasitären Drain-Source Überspannungen bei der ANPC-DF-Strategie, Ausgangszustand 0_s^+ und Zwischenzustand 1 0_s^+	48
Abb. 27: Entstehung von parasitären Drain-Source Überspannungen bei der ANPC-DF-Strategie, Zwischenzustand 2 0_s^+ und Zustand der maximalen Überspannung für ANPC-DF	48
Abb. 28: Entstehung von parasitären Drain-Source Überspannungen bei der ANPC-DF-Strategie, abschließender Aktivzustand N	49
Abb. 29: Aufbau eines FPGA-Boards mit frei konfigurierbaren Logik- und Flip-Flop-Gattern sowie Ein- und Ausgängen [22, p. 10]	49
Abb. 30: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die konventionelle Modulationsstrategie ANPC-11-Sync	53
Abb. 31: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die konventionelle Modulationsstrategie ANPC-12	56
Abb. 32: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-DF	58
Abb. 33: Schaltzustände des Stress-In-Mode für die pos. Halbwelle der Referenzsignale	60
Abb. 34: Schaltzustände des Stress-Out-Mode für die pos. Halbwelle der Referenzsignale	61
Abb. 35: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie der Träger- und Referenzsignale für die Modulationsstrategie ANPC-ALD	63
Abb. 36: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-R2:1	66
Abb. 37: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-OOZS	68
Abb. 38: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-SSLD	70

Abb. 39: Darstellung des von den Referenzsignalen einhüllenden Trägersignalbereichs [14, p. 122]	72
Abb. 40: Neu erzeugtes Referenzsignal durch Injektion der 3. Harmonischen [14, p. 124]	73
Abb. 41: Raumzeiger einer dreiphasigen zweistufigen Halbbrückenschaltung (unterstrichen) und Raumzeiger einer dreiphasigen dreistufigen NPC-Schaltung [15, p. 10]	74
Abb. 42: PLECS-Modellierung für die leistungselektronische Schaltung eines dreiphasigen ANPC-Wechselrichters	77
Abb. 43: PLECS-Modellierung für einen dreiphasigen LCL-Filter am Ausgang der leistungselektronischen Schaltung des ANPC-Wechselrichters	77
Abb. 44: PLECS-Modellierung für eine dreiphasige Netzlast	78
Abb. 45: Messstelle zur Ermittlung der Schalt-, Durchlass- und Gesamtverluste eines Leistungshalbleiters	80
Abb. 46: PLECS-Modellierung der parasitären Drain-Source MOSFET Kapazitäten	80
Abb. 47: Aufbau der in PLECS implementierten Ansteuerungscontroller am Beispiel der Modulationsstrategie ANPC-11-Sync	81
Abb. 48: Besonderheiten im Aufbau der Ansteuerungscontroller ANPC-ALD, -R2:1 und -SSLD	82
Abb. 49: Gesamtverluste der Halbleiter eines Wechselrichterstranges in Abhängigkeit der Verzögerungszeit	85
Abb. 50: Anteil der Oberwellen im Ausgangsstrangstrom des Umrichters in Abhängigkeit der Verzögerungszeit	85
Abb. 51: Gesamtverluste der Halbleiter eines Wechselrichterstranges in Abhängigkeit der Ausgangslast	86
Abb. 52: Wirkungsgrad des Umrichters in Abhängigkeit der Ausgangslast	87
Abb. 53: Anteil der Oberwellen im Ausgangsstrangstrom des Umrichters in Abhängigkeit der Ausgangslast	88
Abb. 54: Gesamtverluste der Halbleiter eines Wechselrichterstranges in Abhängigkeit des Leistungsfaktors	89
Abb. 55: Wirkungsgrad des Umrichters in Abhängigkeit des Leistungsfaktors	90
Abb. 56: Anteil der Oberwellen im Ausgangsstrangstrom des Umrichters in Abhängigkeit des Leistungsfaktors	90
Abb. 57: Aufteilung der Schalt- und Durchlassverluste zwischen den Bauteilen eines Brückenzeigs für die Werte $\cos(\varphi)$ 1/0,8/0 für die Modulationsstrategien ANPC-11-Sync und ANPC-12	92
Abb. 58: Aufteilung der Schalt- und Durchlassverluste zwischen den Bauteilen eines Brückenzeigs für die Werte $\cos(\varphi)$ 1/0,8/0 für die Modulationsstrategien ANPC-DF, -ALD und -R2:1	93
Abb. 59: Aufteilung der Schalt- und Durchlassverluste zwischen den Bauteilen eines Brückenzeigs für die Werte $\cos(\varphi)$ 1/0,8/0 für die Modulationsstrategien ANPC-SSLD und ANPC-OOZS	94

Abb. 60: Spannungswerte der Drain-Source-Strecke des inneren MOSFETs 2 bei verschiedenen Modulationsstrategien	95
Abb. 61: Zuweisung der Ein- und Ausgangssignale in der „entity“ des VHDL-Codes	98
Abb. 62: Erstellung der internen Signale des VHDL-Codes und die dazugehörige Zuweisung eines Datentyps	98
Abb. 63: VHDL-Code zur Erzeugung des fallenden Verlaufs des Dreieck-Trägersignals	99
Abb. 64: VHDL-Code zur Erzeugung der internen Signale zur Ansteuerung der Ausgänge ohne Verzögerungszeit	100
Abb. 65: VHDL-Code zur Erzeugung der Einschaltverzögerungszeit von T1	101
Abb. 66: VHDL-Code zur Erzeugung der vom FPGA-Board auszugebenden Ansteuerungssignale für die Halbleiter	101
Abb. 67: Hardwaretestplattform des Niederspannungs- 3L-ANPC Umrichters	103
Abb. 68: Schematische Darstellung des Messaufbaus	104
Abb. 69: Gate-Ansteuerungssignale der ANPC-OOZS-Strategie für den Zustandswechsel von Freilauf 0 zur Aktivphase P mit einer Einschaltverzögerung der Schalter T3 und T5 von 500 ns	105
Abb. 70: Umrichter-Ausgangsstrom (grün) und -spannung (blau) der ANPC-OOZS-Strategie unter Nennlast ($P = 1,33 \text{ kW}$)	105
Abb. 71: Mess- (durchgezogen) und Simulationsergebnisse (gestrichelt) der Wirkungsgradmessungen für die Strategien ANPC-DF, -OOZS und -ALD in den Arbeitspunkten zwischen 10% und 100% der Umrichter-Nennlast	106
Abb. 72: PLECS-Verlustmodell der Einschaltverluste des SiC-MOSFETs C3M0120090D	I
Abb. 73: PLECS-Verlustmodell der Ausschaltverluste des SiC-MOSFETs C3M0120090D	I
Abb. 74: PLECS-Verlustmodell der Durchlassverluste des SiC-MOSFETs C3M0120090D	II
Abb. 75: Ersatzschaltbild für die einphasige Netzlast bestehend aus der Induktivität L und dem ohmschen Anteil R	IV
Abb. 76: Aufbau der Messung für Schein-, Wirk- und Blindleistung sowie Wirkungsgrad in der PLECS-Simulation	V
Abb. 77: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-11-Sync in PLECS	VI
Abb. 78: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-12 in PLECS	VII
Abb. 79: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-DF in PLECS	VIII
Abb. 80: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-ALD in PLECS	IX
Abb. 81: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-R2:1 in PLECS	X

Abb. 82: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-OOZS in PLECS	XI
Abb. 83: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-SSLD in PLECS	XII
Abb. 84: PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Verzögerungszeiten	XIII
Abb. 85: PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Ausgangslasten	XIV
Abb. 86: PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Leistungsfaktoren	XIV
Abb. 87: Neu entwickeltes Schaltmuster für eine mögliche Kombination der Modulationsstrategien ANPC-DF und -OOZS zur Unterbindung der Überspannungen im Nulldurchgang der ANPC-DF-Strategie für den einphasigen Umrichter-Betrieb	XIX

Tabellenverzeichnis

Tab. 1: Relevante Einsatzgebiete von Wechselrichtern im Zusammenhang mit der deutschen Energiewende	20
Tab. 2: Erlaubte Schalterstellungen der Vollbrückenschaltung [14, p. 43]	32
Tab. 3: Logiktablette der konventionellen Modulationsstrategie für die NPC-Topologie	34
Tab. 4: Auflistung der nutzbaren Schaltzustände zur Ansteuerung der ANPC-Topologie [17, p. 10]	41
Tab. 5: Elektrischen Kenngrößen für Si- und SiC-Halbleiter [20, p. 664]	42
Tab. 6: Vor- und Nachteile der SiC-MOSFET Technologie gegenüber der konventionellen Si-MOSFET-Technologie	43
Tab. 7: Logiktablette der konventionellen Modulationsstrategie ANPC-11-Sync	53
Tab. 8: Logiktablette der konventionellen Modulationsstrategie ANPC-12	55
Tab. 9: Logiktablette der Modulationsstrategie ANPC-DF	58
Tab. 10: Logiktablette der Modulationsstrategie ANPC-ALD	63
Tab. 11: Logiktablette der Modulationsstrategie ANPC-R2:1	65
Tab. 12: Logiktablette der Modulationsstrategie ANPC-OOZS	68
Tab. 13: Logiktablette der Modulationsstrategie ANPC-SSLD	70
Tab. 14: Raumzeiger in dreiphasiger zweistufiger Halbbrückenschaltung [14, p. 132]	74
Tab. 15: Auflistung der in der PLECS-Simulation eingesetzten Simulationsparameter	79
Tab. 16: Zusammenfassung von Eigenschaften und optimalen Anwendungsgebieten der simulierten Modulationsstrategien	97
Tab. 17: Berechnete Zahlenwerte für die ohmschen Widerstände R für verschiedene Lastzustände des Umrichters von 5% bis 110% Nennlast	III
Tab. 18: Berechnete Zahlenwerte für R und L für verschiedene Arbeitspunkte des Wechselrichters von $\cos(\varphi)$ 1 bis 0 in Zehntel-Schritten	IV
Tab. 19: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-11-Sync	XV
Tab. 20: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-12	XV
Tab. 21: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-DF	XVI
Tab. 22: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-ALD	XVI
Tab. 23: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-R2:1	XVII

**Tab. 24: Simulationsergebnisse für die Messung parasitärer Überspannungen für die
Modulationsstrategie ANPC-OOZS** **XVII**

**Tab. 25: Simulationsergebnisse für die Messung parasitärer Überspannungen für die
Modulationsstrategie ANPC-SSLD** **XVIII**

Abkürzungsverzeichnis

Abkürzung	Begriff
AC	Alternating Current
ALD	Adjustable Losses Distribution
ANPC	Active-Neutral-Point-Clamped
ASIC	Application Specific Integrated Circuit
BSKW	Batteriespeicherkraftwerk
DC	Direct Current
DF	Doubled Frequency
EMV	Elektromagnetische Verträglichkeit
FPGA	Field Programmable Gate Array
GaN	Galliumnitrid
GTO	Gate Turn-Off Thyristor
IC	Integrated Circuit
IGBT	Insulated-Gate Bipolar Transistor
ISE	Institut für Solare Energiesysteme
LWL	Lichtwellenleiter
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
NPC	Neutral-Point-Clamped
OOZS	Only One Zero State
PLD	Programmable Logic Device
PLECS	Piecewise Linear Electrical Circuit Simulation
PV	Photovoltaik
PWM	Pulsweitenmodulation
R2:1	Ratio 2 to 1
RMS	Root Mean Square
RS-232	Recommended Standard 232
Si	Silizium
SiC	Siliziumkarbid
SMPS	Switching-Mode Power Supply
SoC	System-on-Chip
S-PWM	Sinus-Pulsweiten-Modulationen

SSLD	Splitting Switching Loss Distribution
SV-PWM	Space-Vector-Pulsweiten-Modulationen
THD	Total Harmonic Distortion
UN	United Nations
VHDL	Very High Speed Integrated Circuit Hardware Description Language
ZCS	Zero-Current-Switching
ZVS	Zero-Voltage-Switching

Verzeichnis der verwendeten Symbole

Symbol	Beschreibung	Einheit
φ	Phasenverschiebungswinkel	Grad oder Rad
φ_u	Phasenverschiebung der Spannung	Grad oder Rad
φ_i	Phasenverschiebung des Stroms	Grad oder Rad
U_{eff}	Effektivwert der Spannung	V
I_{eff}	Effektivwert des Stroms	A
P_{eff}	Effektivwert der Leistung	W
L	Induktivität	V sec/A
i_L	Spulenstrom	A
U_L	Spulenspannung	V
C	Kapazität	A sec /V
U_c	Kondensatorspannung	V
i_c	Kondensatorstrom	A
f_s	Schaltfrequenz der Halbleiterschalter	1/sec
L_1	Umrichterseitige-Filter-Induktivität	V sec/A
$f_{s,\text{out}}$	Frequenz der Brückenausgangsspannung	1/sec
U_{zwc}	DC-Zwischenkreisspannung am Umrichter-Eingang	V
$\Delta i_{a, \text{max}}$	Maximaler Welligkeit des Spitze-Spitze Spulen-Stroms	A in %
C_f	Filter-Kapazität	A sec/V
S_n	Nennleistung des Umrichters	VA
f_{Netz}	Netzfrequenz	1/sec
U_{Netz}	RMS-Netzspannung	V
C_{DC}	Brückeneingangskapazität	A sec/V
P_{out}	AC-Ausgangsleistung des Wechselrichters	W
Δu_{pp}	Maximaler Welligkeit der Spitzen-Spitzen-Spannung des DC-Zwischenkreiskondensators	V in %
E_G	Bandlücke	eV
n_i	Ladungsträgerkonzentration bei Raumtemperatur	1/cm ³
E_{Krit}	Kritische elektrische Feldstärke	MV/cm
μ_n	Elektronenbeweglichkeit	cm ² /Vs
$v_{\text{sat}, n}$	Sättigungsdriftgeschwindigkeit	cm/sec

Symbol	Beschreibung	Einheit
λ	Wärmeleitfähigkeit	W/cm K
$t_{d, \text{ein}}$	Einschaltverzögerung	sec
$t_{d, \text{aus}}$	Ausschaltverzögerung	sec
P_v	Verlustleistung	W
$P_{V, \text{on}}$	Verluste im eingeschalteten Schalterzustand	W
$P_{V, \text{off}}$	Verluste im ausgeschalteten Schalterzustand	W
$P_{V, \text{sw on}}$	Verlustleistung während des Einschaltvorgangs	W
$P_{V, \text{sw off}}$	Verlustleistung während des Ausschaltvorgangs	W
P_{sw}	Schaltverluste	W
P_{cond}	Durchlassverluste	W
t_{delay}	Einschalt-Verzögerungszeit	sec
$t_{d(\text{on})}$	Ausschaltverzögerung	sec
t_r	Anstiegszeit	sec
$t_{d(\text{off})}$	Ausschaltverzögerung	sec
t_f	Abfallzeit	sec
d_{komp}	Faktor zur Kompensation der Einschaltverzögerungszeit	Einheitenlos
M	Modulationsindex	Einheitenlos
\hat{U}_{AC}	Spitzenspannung der Netz - Wechselspannung	V
f_{ref}	Frequenz des Referenzsignals	1/sec
$f_{s, \text{out-DF}}$	Frequenz der Brückenausgangsspannung bei der Modulationsstrategie ANPC-DF	1/sec
u_α	Realteil der Spannung des Raumzeigers	V
u_β	Imaginärteil der Spannung des Raumzeigers	V
$M_{\text{max, 3.Harm}}$	Maximal möglicher Modulationsindex nach Injektion der 3. Harmonischen auf das Referenzsignal	Einheitenlos
E_{on}	Einschaltverlustenergie	μJ
E_{off}	Ausschaltverlustenergie	μJ
E_{cond}	Durchlassverlustenergie	μJ
$U_{\text{zwk}/2}$	Brückenspannung	V
R_{zwk}	Innenwiderstand der Quellen	Ω
$S_{n/3}$	Phasen-Ausgangsleistung des Umrichters	VA
I_{L-N}	Phasen Ausgangsstrom des Umrichters	A
L_{Netz}	Netzseitige LCL-Filter-Induktivität	V sec/A
C_{DS}	Parasitäre Drain-Source-Kapazität	A sec/V

Symbol	Beschreibung	Einheit
$U_{\text{ZWK_DC}}$	Ideale Spannungsquelle zur Erzeugung der Zwischenkreisspannung	V
T_{init}	Betriebstemperatur der Halbleiter	°C
C_{oss}	Output Capacitance / Gate und Source kurzgeschlossen	A sec/V
C_{rss}	Reverse Transfer Capacitance / Quelle mit Masse verbunden	A sec/V
I_1	Grundschiwingung / 1. Harmonische des Stromes	A
I_h	1 Oberschiwingung / 2. Harmonische des Stromes	A
R_{Last}	Ohm'scher Anteil der Ausgangslast	Ω
U_{DS}	Drain-Source-Spannungen	V
η	Wirkungsgrad	Einheitenlos
P_{ab}	Ausgangsleistung des Umrichters	W
$U_{\text{DS, max}}$	Maximalen Drain-Source-Spannungen	V

Vorwort

Ausgehend von den aktuellen globalen Klimaschutzzielen stellt die Sicherstellung einer nachhaltigen, klimaneutralen, wirtschaftlichen und risikoarmen Energieversorgung eine zentrale Herausforderung des 21. Jahrhunderts dar. Wesentliche Mittel zur Erlangung einer solchen Energieversorgung sind der Ausbau von erneuerbaren Energiequellen und Energieübertragungsnetzen, der Aufbau von Energiespeichern sowie die Steigerung der Energieeffizienz bestehender Systeme und die allgemeine Reduzierung des Energieverbrauches.

Angetrieben von der Vision einer weltweiten, nachhaltigen, wirtschaftlichen, sicheren und sozial gerechten Energieversorgung leistet das Fraunhofer-Institut für Solare Energiesysteme (ISE) in zahlreichen Projekten in Zusammenarbeit mit nationalen und internationalen Industriepartnern durch seine angewandte Forschungs- und Entwicklungsarbeit im Bereich erneuerbare Energiesysteme und -technologien einen wichtigen Beitrag zur Erreichung dieser Klimaschutzziele [1]. Ich freue mich sehr, dass ich im Rahmen meiner Masterarbeit beim Fraunhofer ISE in Freiburg die Chance bekommen habe, mithilfe der in dieser Abschlussarbeit durchgeführten Untersuchungen im Bereich der Leistungselektronik meinen Teil zur Erreichung dieser Energieversorgungsvision beizutragen.

Besonders bedanken möchte ich mich an dieser Stelle bei meiner Hochschulbetreuerin Frau Prof. Diemar und meinem betrieblichen Betreuer des Fraunhofer ISE Andreas Hensel, welche mir diese Abschlussarbeit erst ermöglichten und sowohl bei fachlichen als auch organisatorischen Fragen zur Seite standen. Des Weiteren bedanke ich mich bei David Derix und Michael Geiss für Ihre Unterstützung bei der Durchführung der praktischen Messungen, wodurch meine Arbeitsergebnisse validiert werden konnten.

Zudem möchte ich mich bei allen weiteren Kolleginnen und Kollegen des Forschungsinstituts bedanken, die mich während meiner Abschlussarbeit unterstützt und zu einer angenehmen Arbeitsatmosphäre beigetragen haben.

Abschließend gilt mein besonderer Dank meiner Familie, meiner Freundin und all meinen Freunden, die mich während des gesamten Studiums begleitet und immer wieder motiviert haben. Durch Ihre Unterstützung haben sie alle mit zum Gelingen dieser Arbeit beigetragen.

1. Einleitung

1.1 Vorgaben und Herausforderungen der deutschen Energieversorgung

Als Nachfolger des Kyoto-Protokolls wurde am 12. Dezember 2015 im Rahmen der UN-Klimakonferenz in Paris das Pariser Klimaschutzübereinkommen beschlossen. Dieses legt fest, dass der Anstieg der durchschnittlichen Erdtemperatur auf 1,5°C beschränkt werden muss [2].

Um dieses Ziel einzuhalten, hat die Europäische Union klare und für seine Mitgliedsstaaten verpflichtende Vorgaben beschlossen. Diese schreiben vor, dass die Treibhausgasemissionen nach Abb. 1 (links), schrittweise bis 2050 um mindestens 80% im Vergleich zum Referenzjahr 1990 gesenkt werden müssen. Parallel dazu soll nach Abb. 1 (rechts) der Anteil regenerativer Energiequellen bis 2050 schrittweise auf 80% erhöht werden [3, p. 8]. Durch das Inkrafttreten des am 22. September 2016 im deutschen Bundestag beschlossenen Gesetzes zum Übereinkommen von Paris wurde dieses internationale Klimaübereinkommen von Deutschland ratifiziert [4], [5]. Deutschland verpflichtet sich dadurch zur Einhaltung dieser internationalen Klimaziele. Da noch heute in Deutschland mit über 80% der Großteil des CO₂-Ausstoßes aus den Bereichen Energieerzeugung, Industrieprozesse und Verkehr stammen, müssen an diesen Stellen gezielt Maßnahmen getroffen werden, um den CO₂-Ausstoß zu reduzieren. Nur so können die europäischen Vorgaben zum Klimaschutz erreicht werden [3, p. 96], [6, p. 146]. Im Bereich der Energieerzeugung hat Deutschland zusätzlich zur CO₂-Reduktion nach der nuklearen Reaktorkatastrophe in Fukushima am 01. Juli 2011 den Ausstieg aus der Kernenergieerzeugung beschlossen [7]. Die aktuelle Definition der deutschen Energiewende beinhaltet somit den Übergang von der Nutzung nicht nachhaltiger fossiler Energieträger, hin zu einer Energieversorgung mittels erneuerbarer Energien zur Reduktion des CO₂-Ausstoßes sowie den Ausstieg aus der Kernenergieerzeugung.

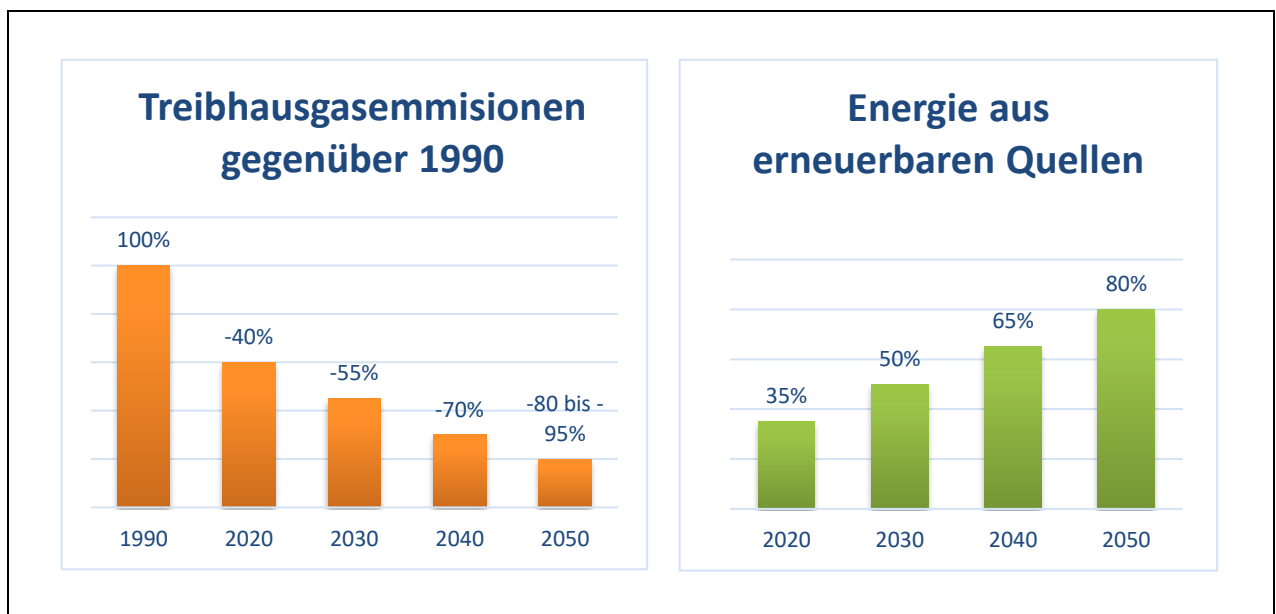
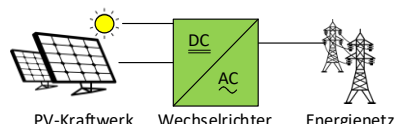
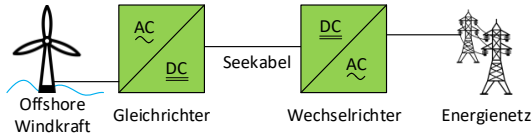
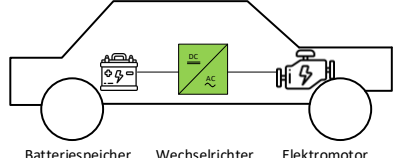
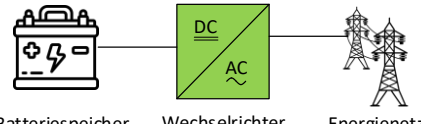


Abb. 1: Vorgaben des Pariser Klimaschutzübereinkommen zur Reduzierung der Treibhausgasemissionen und zum Anteil der erneuerbaren Energiequellen an der Gesamtenergieerzeugung [3, p. 8]

Deutschland steht somit vor der Herausforderung, eine zuverlässige, bezahlbare, umwelt- und klimaverträgliche Energieversorgung sicherzustellen.

1.2 Grundlegende Motivation für die Weiterentwicklung der Umrichter-Technologie

Mit seiner angewandten Forschungs- und Entwicklungsarbeit im Bereich erneuerbaren Energiesysteme und -technologien leistet das Fraunhofer-Institut für Solare Energiesysteme (ISE) einen wichtigen Beitrag zur Erreichung der internationalen und insbesondere deutschen Energie- und Klimaziele [1]. Dafür forscht es auf den Gebieten Photovoltaik- und Wasserstofftechnologien, elektrische Energiespeicher, energieeffiziente Gebäude, solarthermische Kraftwerke und Industrieprozesse sowie der Leistungselektronik. Die hier vorliegende Thesis ordnet sich in ein Teilgebiet der ISE Forschung im Bereich Leistungselektronik für Mittelspannungsanwendungen ein. Im Detail werden dabei verschiedene Ansteuerungsarten für einen dreiphasigen Batterie- und Solarwechselrichter untersucht. Um zu verdeutlichen, welchen Einfluss die aktuelle Forschungs- und Entwicklungsarbeit im Bereich der Umrichter-Technologie auf die deutsche Energiewende hat, zeigt die Tab. 1 mit einer Auswahl von wichtigen Einsatzgebieten dieser Technologie aus dem Bereich der Energiebereitstellung.

Einsatzgebiet	
Photovoltaikkraftwerk	 <p>PV-Kraftwerk Wechselrichter Energienetz</p>
Hochvolt-Gleichstromübertragung von Offshore-Windkraftanlagen	 <p>Offshore Windkraft Gleichrichter Seekabel Wechselrichter Energienetz</p>
Antriebsstrang Elektrofahrzeug	 <p>Batteriespeicher Wechselrichter Elektromotor</p>
Batteriepufferspeicher	 <p>Batteriespeicher Wechselrichter Energienetz</p>

Tab. 1: Relevante Einsatzgebiete von Wechselrichtern im Zusammenhang mit der deutschen Energiewende

Im Bereich der elektrischen Energieerzeugung werden Wechselrichter beispielsweise genutzt, um die von den Photovoltaikmodulen erzeugte Gleichspannung in netzsynchrone Wechselspannung umzuwandeln. Ein weiteres Beispiel im Zusammenhang mit der Energieerzeugung ist die verlustarme Hochspannungsgleichstromübertragung für den Energietransport der Offshore-Windparks in der Nord- und Ostsee. Hier wird die von den Offshore-Windkraftanlagen erzeugte Energie zunächst auf bis zu 320 kV hoch transformiert und über einen Gleichrichter gleichgerichtet. Hierdurch kann die erzeugte Energie verlustarm und wirtschaftlich mit Seekabeln über eine lange Strecke von oft mehreren 100km bis ans Festland transportiert werden. Dort wird die Gleichspannung wiederum mittels Wechselrichter wechselgerichtet, synchronisiert und in das Energienetz eingespeist. [8, p. 2 f.].

Wie in Abschnitt 1.1 beschrieben ist auch die Elektrifizierung des Verkehrssektors für Deutschland ein weiterer wichtiger Schlüsselfaktor zur Reduzierung der CO₂-Emissionen und Einhaltung der langfristigen europäischen Klimaziele. Dies soll durch eine steigende Anzahl von hybrid- und rein elektrisch angetriebenen Fahrzeugen erreicht werden. Im Antriebsstrang solcher E-Fahrzeuge arbeitet eine intelligente Leistungselektronik als Bindeglied zwischen

der energiespeichernden Fahrzeugbatterie und dem elektrischen Antriebsmotor. Werden als Antriebsmotoren Synchron- oder Asynchronmotoren eingesetzt, ist ein geregelter Wechselrichter ein entscheidendes Bauteil um die dynamische Versorgung dieses Antriebsmotors zu realisieren [9, p. 89]. Folglich wird auch in Bereich der Fahrzeugtechnik der Bedarf nach energieeffizienten Wechselrichtern in Zukunft weiter ansteigen.

Eine weitere Herausforderung der zukünftigen Energieversorgung ist die Stabilisierung des Energienetzes. Aufgrund von witterungsbedingten Einflüssen kommt es bei der Energiebereitstellung durch erneuerbare Energiequellen zu Fluktuationen. Um einen Teil dieser schwankenden Energieproduktion aufzufangen, wird eine immer größere Zahl an Batteriespeicherkraftwerken (BSKW) eingesetzt. Mithilfe dieser BSKW's können die entstehenden Energiespitzen in Akkumulatoren zwischengespeichert und bei Bedarf wieder an das Energienetz abgegeben werden. Auf diese Weise sorgen BSKW's für eine Stabilisierung der Energienetze und erhöhen dessen Ausfallsicherheit. Da Akkumulatoren nur mit Gleichspannung be- und entladen werden können, wird für das Laden der Akkus ein Gleichrichter benötigt und für das Entladen kommt wiederum ein Wechselrichter zum Einsatz, um die gespeicherte Energie wieder in das Energienetz zurück zu speisen.

Im Rahmen eines konkreten Forschungsprojekts des Fraunhofer ISE wird ein Mittelspannungsumrichter für ein solches Hochleistungsspeicherkraftwerk entwickelt. Ziel ist dabei die Realisierung eines Wechselrichters, mit welchem eine durch Batteriecontainer und DC-DC-Steller erzeugte 5,5 kV DC-Spannung in eine 3,3 kV AC-Spannung umgewandelt werden kann. Diese 3,3 kV AC-Spannung kann daran anschließend direkt in ein 3,3 kV Industrienetz eingespeist werden. Für die Realisierung dieses Demonstrators werden neuartige 3,3 kV Siliziumkarbid- (SiC) Leistungsschalter eingesetzt. Der elektrische Übersichtsplan dieses Demonstrators ist in Abb. 2 dargestellt.

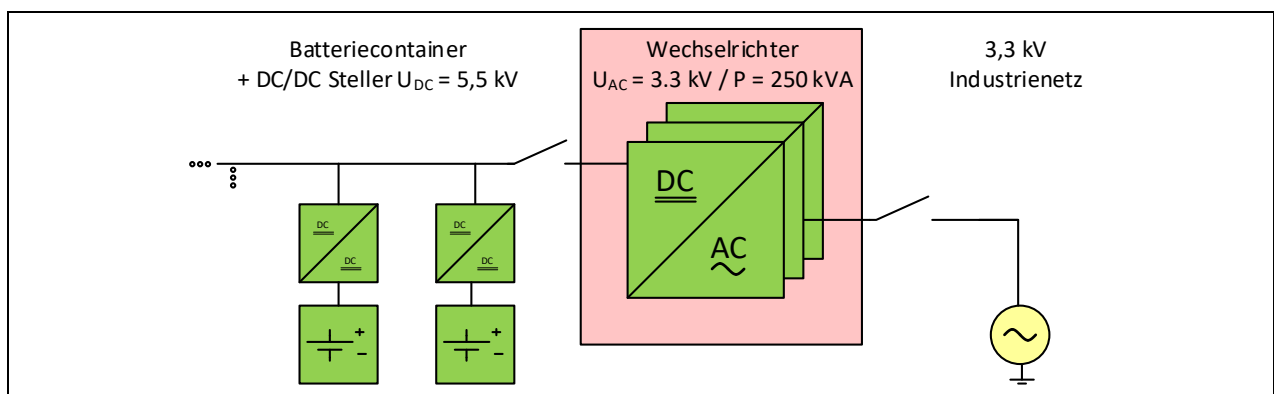


Abb. 2: Elektrischer Übersichtsplan für die Mittelspannungsankopplung eines Hochleistungsbatteriespeicherkraftwerks

Die in dieser Masterthesis zu untersuchenden Modulationsstrategien werden an einem Niederspannungsaufbau getestet, welcher analog zu dem vorgestellten Mittelspannungsumrichter aufgebaut wurde. Die durchzuführenden Untersuchungen für verschiedene Modulationsstrategien sollen dabei helfen, das Potential dieses Wechselrichters im Betrieb am Mittelspannungsnetz optimal auszunutzen und die Weiterentwicklung des Projektes voranzutreiben.

Die präsentierten Beispiele zeigen, wie wichtig die Forschung und Weiterentwicklung der heutigen Wechselrichtertechnologie ist, wie vielfältig deren Einsatzmöglichkeiten sind und wie diese Masterarbeit einen Teil zur Weiterentwicklung dieser Technologie beitragen kann, um die deutsche Energiewende zukünftig weiter voranzutreiben.

1.3 Aufgabenstellung und Zielsetzung

Für die Realisierung von Mehrpunktumrichtern für Solar- und Batteriespeichieranlagen kommt derzeit häufig die sogenannte Active-Neutral-Point-Clamped (ANPC) Topologie zum Einsatz. Diese ANPC-Topologie beinhaltet gegenüber der konventionellen Neutral-Point-Clamped (NPC) Topologie eine erhöhte Anzahl an aktiven Schaltelementen. Dies ermöglicht eine Vielzahl neuer Ansteuerungsstrategien bzgl. der Modulation des Umrichter-Ausgangssignals.

Im Rahmen dieser Masterarbeit sollen daraufhin verschiedene Modulationsarten für einen vorliegenden dreiphasigen ANPC-Wechselrichter untersucht und miteinander verglichen werden. Dabei soll das Verhalten dieser Modulationsarten für unterschiedliche Arbeitspunkte mit verschiedenen Ausgangslasten und $\cos(\varphi)$ Werten untersucht werden. Dadurch sollen insbesondere Erkenntnisse hinsichtlich der Eignung für den Einsatz im Mittelspannungsbereich erlangt werden.

Nach einer detaillierten Analyse der aktuell eingesetzten Wechselrichter-Topologien soll eine vorliegende ANPC-Wechselrichtertestplattform in einer Simulationssoftware namens PLECS nachgebildet und simuliert werden. Im Anschluss daran muss eine ausführliche Literaturrecherche zum Thema Taktungsarten für ANPC-Topologie durchgeführt werden. Das hierbei zusammengestellte Repertoire an aussichtsreichen Modulationsstrategien soll anknüpfend daran in der erstellten PLECS-Simulation simuliert und analysiert werden. Mithilfe der Simulationsergebnisse sollen dann drei dieser Modulationsstrategien ausgewählt und auf ein Cyclone-V System-on-Chip (SoC) Field Programmable Gate Array (FPGA) implementiert werden. Mithilfe dieses programmierten FPGA-Boards soll eine bestehende Niederspannungshardwaretestplattform in Betrieb genommen werden. Auf dieser Test-Plattform sollen abschließend durch praktische Messungen die PLECS-Simulationsergebnisse verifiziert werden. Das Gesamtprojekt kann somit in die folgenden Arbeitstakte aufgeteilt werden:

- Einarbeitung in aktuelle verfügbare Umrichter-Technologien insbesondere in die ANPC-Topologie
- Einarbeitung in die Simulationssoftware PLECS
- Aufbau und Modellierung der ANPC-Niederspannungstestplattform in PLECS
- Literaturrecherche zu verschiedenen Taktungsarten für ANPC-Wechselrichter
- Implementierung und Simulation verschiedener Taktungsarten in PLECS
- Auswertung der PLECS-Messergebnisse
- Implementierung ausgewählter Taktungsarten auf einem FPGA-Board
- Test der Taktungsarten auf einer bestehenden Niederspannungshardwaretestplattform
- Vergleich und Analyse der theoretischen und praktischen Messergebnisse

1.4 Aufbau der Arbeit

In der vorliegenden Arbeit werden verschiedene Modulationsstrategien für die Entwicklung eines Mittelspannungsumrichters des Fraunhofer ISE untersucht. Ziel dabei ist es diese Modulationsstrategien hinsichtlich ihres Verhaltens für den geplanten Mittelspannungseinsatz zu untersuchen.

Im Kapitel 1 wurde bereits auf die Hintergründe und die Motivation für die Entwicklung eines solchen Mittelspannungsumrichters eingegangen. Im folgenden Kapitel 2 wird der Stand der Technik dargestellt. Hierfür werden die technischen Grundlagen erläutert, welche erforderlich sind, um die eingesetzte Schaltungstopologie, ihre Ansteuerungsmöglichkeiten und Grenzen nachvollziehen zu können. Danach werden im Kapitel 3 verschiedene Modulationsstrategien vorgestellt und deren Vor- und Nachteile sowie Besonderheiten erarbeitet. Im Anschluss daran wird im Kapitel 4 beschrieben, wie die vorhandene Topologie mit den dazugehörigen elektrischen Bauteilen in der Simulationssoftware PLECS erstellt wird. Mithilfe dieser Simulation werden die Auswirkungen der verschiedenen Modulationsstrategien gemessen und analysiert. Anhand der Auswertung dieser Erkenntnisse werden drei Modulationsstrategien ausgewählt, welche in Kapitel 5 in VHDL (Very High Speed Integrated Circuit Hardware Description Language) programmiert und auf einem FPGA-Board implementiert werden. Mithilfe dieses FPGA-Boards kann im Kapitel 6 eine Niederspannungshardwaretestplattform in Betrieb genommen werden, auf welcher durch praktische Messungen die Simulationsergebnisse überprüft werden. Abschließend werden in Kapitel 7 die gesammelten Erkenntnisse dieser Arbeit in einer Schlussbetrachtung zusammengefasst und präsentiert. Zusätzlich dazu wird ein Ausblick darauf gegeben, welche weiteren ergänzend zu den in dieser Arbeit vorgestellten Modulationsarten zukünftig zur Ansteuerung von Wechselrichtern untersucht werden können.

2. Elektrotechnische Grundlagen

Für das in Abschnitt 1.2 beschriebene Projekt des Fraunhofer ISE zur Entwicklung eines Mittelspannungsumrichters wurden bereits zahlreiche Forschungsarbeiten angefertigt, in denen verschiedene Schaltungstopologien und Bauteile analysiert, getestet und miteinander verglichen wurden. Als Ergebnis dieser Arbeiten wurde eine Active Neutral-Point-Clamped (ANPC) Schaltungstopologie aufgebaut und mit SiC-Hochvolt-Leistungshalbleitern bestückt. Dieser Schaltungsaufbau stellt den aktuellen Stand der Technik dar und bildet somit die Grundlage dieser Masterarbeit. Um im weiteren Verlauf die Einflüsse der verschiedener Modulationsstrategien auf die leistungselektronische ANPC-Umrichter-Schaltung nachvollziehen zu können, werden in diesem Kapitel zunächst alle erforderlichen technische Grundlagen für das Verständnis dieser Schaltung erläutert. Zudem soll gezeigt werden, wo die Vor- und Nachteile, Probleme und Grenzen dieses Schaltungsaufbaus liegen.

Dafür wird zunächst beschrieben, welche grundlegenden Arten von Umrichtern es gibt und in welchen Betriebsquadranten diese betrieben werden können. Danach werden die grundlegenden Komponenten eines Wechselrichters aufgezeigt und dessen grundlegende Funktionsweise erläutert. Anschließend daran werden im Abschnitt 2.4 die grundlegenden Wechselrichterschaltungen und darauf aufbauend im Abschnitt 2.5 die mehrstufigen NPC- und ANPC-Topologien vorgestellt. Danach werden die Eigenschaften der eingesetzten SiC-Leistungshalbleiter beschrieben und daran anknüpfend das Schaltverhalten idealer und realer Schalter dargestellt. Des Weiteren wird darauf eingegangen, aus welchen Gründen bei einem Zustandswechsel der Leistungshalbleiter zwingend eine Verzögerungszeit implementiert werden muss und welche unerwünschten Effekte dadurch entstehen. Abschließend wird auf den Aufbau und die Funktion von digitalen Schaltungen zur Ansteuerung von Leistungshalbleitern eingegangen.

2.1 Grundlegende Betriebsarten von Umrichtern

Die Leistungselektronik ist ein Teilgebiet der Elektrotechnik und befasst sich mit der universellen Umformung von elektrischer Energie sowie der Steuerung und Regelung der dadurch entstehenden bidirektionalen Energieflüsse [10, p. 15]. Dazu gehört, je nach Anforderung der eingangs- und ausgangsseitig angeschlossenen Quellen und Lasten, die gezielte Anpassung von Frequenz, Amplitude und Phasenlage der elektrischen Größen Spannung und Strom sowie die Anpassung der Phasenzahl [11, p. 1 f.].

Bei der Umformung elektrischer Energie wird dabei in der Leistungselektronik zwischen vier verschiedenen Grundfunktionen unterschieden [11, p. 1 f.]. Diese sind in Abb. 3 grafisch dargestellt.

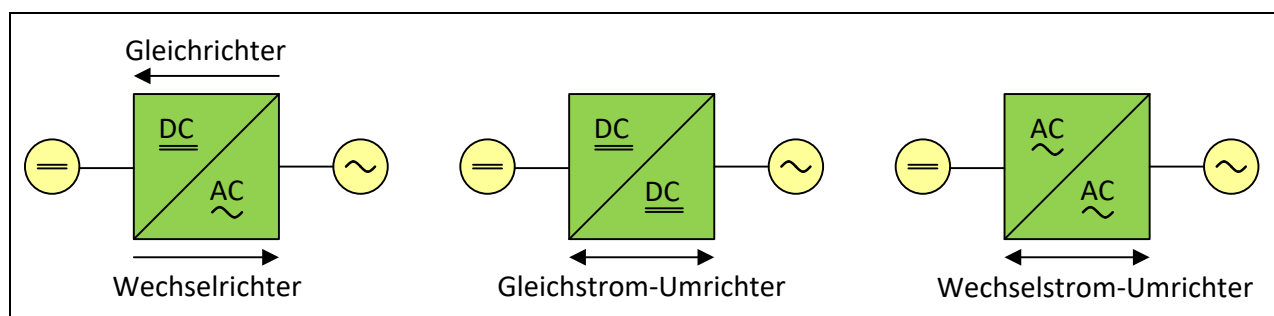


Abb. 3: Grundfunktionen der elektrischen Energieumformung in der Leistungselektronik [11, p. 2]

Bei einem Gleichrichter wird eine am Eingang anliegende Wechselspannung ausgangseitig in eine konstante Gleichspannung umgewandelt. Der Energiefluss erfolgt hier vom Wechsel- in das Gleichstromsystem. Ist der Energiefluss wie hier nur in eine Richtung möglich, befindet sich der Umformer im sogenannten 2-Quadranten-Betrieb. Die Begrifflichkeit der Betriebsquadranten wird im folgenden Abschnitt definiert. Umgekehrt wird bei einem Wechselrichter eine am Eingang anliegende konstante Gleichspannung in eine Wechselspannung mit beliebiger

Frequenz und Amplitude umgewandelt. Der Energiefluss erfolgt hier ebenfalls im 2-Quadranten-Betrieb, jedoch vom Gleich- in das Wechselstromsystem. Je nach Auslegung der Schaltung ist auch ein Energiefluss in beide Richtungen möglich. In diesem Fall wird auch vom 4-Quadranten-Betrieb gesprochen. Der Wechsel- bzw. Gleichrichter kann dann bidirektional in beide Richtungen betrieben werden [11, p. 2 f.].

Bei einem Gleichstrom-Umrichter wird ein Gleichstrom mit gegebener Spannungshöhe und Polarität in einen Gleichstrom mit einer anderen Spannungshöhe und/oder Polarität umgewandelt. Entsprechend wird bei einem Wechselstrom-Umrichter ein Wechselstrom mit gegebener Spannung, Frequenz und Phasenzahl in einen Wechselstrom mit einer beliebigen anderen Spannung, Frequenz und Phasenzahl umgewandelt. Sowohl Gleich- als auch Wechselstrom-Umrichter können im 2- als auch im 4-Quadranten-Betrieb realisiert werden [11, p. 2 f.].

Der nach Abschnitt 1.2 zu entwickelnde Batterie- und Solarwechselrichter soll einerseits seine erzeugte bzw. gespeicherte elektrische Energie in das Mittelspannungsnetz einspeisen und andererseits die zum Laden der Akkus des Batteriespeicherkraftwerkes erforderliche Energie aufnehmen können. Zusätzlich zu dieser Übertragung von Wirkleistung müssen am Netz angeschlossene Umrichter, aufgrund von heutigen Netzanschlussverordnungen, auch Blindleistung aufnehmen bzw. abgeben können. Somit muss für den zu entwickelnden Umrichter ein 4-Quadranten-Gleich- und Wechselrichterbetrieb realisiert werden.

2.2 Betriebsquadranten von Wechselrichtern

Der Arbeitspunkt eines Umrichters wird durch die am Ein- und Ausgang angeschlossenen Quellen und Lasten bestimmt. Wird der Eingang des Umrichters an eine Gleichspannungsquelle und der Ausgang an einer rein ohmschen Last angeschlossen, liegen Spannung und Strom in Phase und es wird reine Wirkleistung übertragen. Der Umrichter arbeitet dann ausschließlich nach Abb. 4 (links) in den Quadranten Q1 und Q3 als Wechselrichter. Ein Verbundnetz besteht jedoch i. d. R. aus einem Zusammenschluss von räumlich getrennten Generatoren, Übertragungsleitungen und Lasten. Wird ein Umrichter an ein solches Versorgungsnetz angeschlossen, tritt überwiegend ein ohmsch-induktiver Belastungsfall ein [10, p. 37]. Für einen solchen Arbeitspunkt wurde exemplarisch in Abb. 4 (rechts) ein Spannungsverlauf dargestellt, in welchem der Strom i_{Last} der Spannung u_{Last} um -60° nacheilt. Der Verschiebungswinkel φ ist in diesem Fall nach der Definition von [12, p. 18] nach Formel (1) positiv, wodurch auch der Wert für $\cos(\varphi) > 0$ wird. Mit Formel (2) ergibt sich hieraus ein positiver Effektivwert für die übertragene Wirkleistung. Daraus folgt, dass der Umrichter in diesem Fall im Mittel Energie in das Versorgungsnetz einspeist.

$$\varphi = \varphi_u - \varphi_i \quad (1)$$

$$P_{\text{eff}} = U_{\text{eff}} * I_{\text{eff}} * \cos \varphi \quad (2)$$

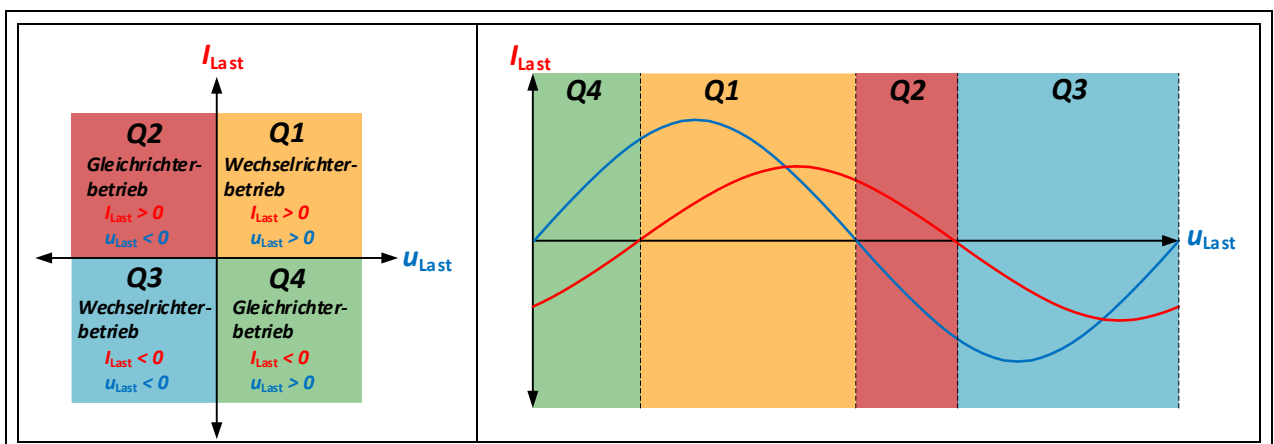


Abb. 4: Einteilung der vier Betriebsquadranten im U-I Koordinatensystem (links) dazugehörige Strom- und Spannungsverläufe am Ausgang eines Umrichters mit einer Phasenverschiebung von $\pi/3$ (Rechts) [13, p. 12]

Analysiert man jedoch die zeitlichen Verläufe der abgebildeten Spannungs- und Stromkurven ergibt sich lediglich in den Bereichen Q1 und Q3 aufgrund der gleichen Polarität von Strom i_{Last} und Spannung u_{Last} ein positiver Wert für die übertragene Wirkleistung. Für die Betriebsquadranten Q1 und Q3 fließt die Energie im Umrichter somit von der am Eingang angeschlossenen Gleichspannungsquelle zu dem am Ausgang angeschlossenen Energienetz. Der Umrichter arbeitet somit in diesen Bereichen im Wechselrichterbetrieb [14, p. 13 ff.].

In den Intervallen Q2 und Q4 unterscheiden sich jedoch die Polaritäten von Strom i_{Last} und Spannung u_{Last} . Daraus ergibt sich in diesen Bereichen eine negative Augenblicksleistung. Die Energie fließt somit in den Betriebsquadranten Q2 und Q4 von dem am Ausgang angeschlossenen Energienetz zurück zu der am Eingang angeschlossenen Energiequelle. Der Umrichter arbeitet somit in diesen Bereichen in Gleichrichterbetrieb [14, p. 13 ff.].

Daraus ergibt sich, dass ein am Netz angeschlossener Umrichter aufgrund der vom Netz vorgegebenen Phasenverschiebung von Spannung und Strom immer den Betrieb in allen 4-Betriebsquadranten ermöglichen muss [14, p. 13 ff.].

2.3 Grundaufbau und Funktion eines Wechselrichters

In Abb. 5 sind die grundlegenden und optionalen Bestandteile eines Wechselrichters dargestellt. Um eventuelle Schwankungen der DC-Eingangsspannung zu stabilisieren, wird die Energiequelle zunächst an einen aus Kondensatoren bestehenden DC-Zwischenkreis angeschlossen. Je nach ausgewählter Schaltungstopologie wird hiermit zusätzlich zur Eingangsspannungstabilisierung die gewünschte Brückeneingangsspannung eingestellt sowie, falls erforderlich, das Mittelpunktpotential. Die Brückenausgangsspannung des DC-Zwischenkreises wird daran anschließend in eine leistungselektronische Schaltung eingepreßt. Dies ist das Herzstück des Wechselrichters. Das grundlegende Prinzip der meisten leistungselektronischen Umformer-Schaltungen ist die gezielte Zerlegung eines Eingangssignals in ein periodisches Puls-Breiten-Modelliertes Rechtecksignal. Diese Rechteckpulse werden durch Leistungshalbleiter erzeugt, die ausschließlich im Schaltbetrieb arbeiten. Je nach Einsatzgebiet stehen dafür verschiedene Dioden, Thyristoren, GTOs, IGBTs und MOSFETs zu Verfügung. Die Funktion der grundlegenden Schaltungen zur Erzeugung solcher Rechteckpulse sind in den Abschnitten 2.4 und 2.5 beschrieben.

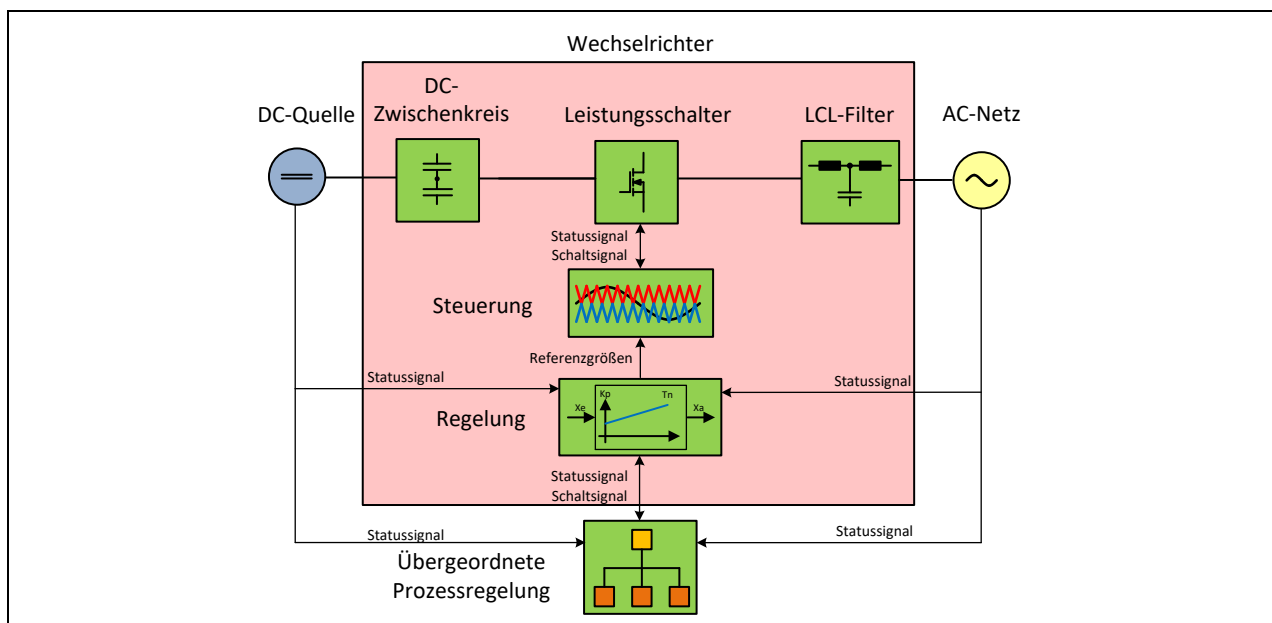


Abb. 5: Blockweise Darstellung der Grundbestandteile eines Wechselrichters

Mithilfe einer Microcontroller Ansteuerungseinheit können die einzelnen Leistungshalbleiter in der leistungselektronischen Schaltung je nach vorliegender Schaltungstopologie und vorhandenen Freiheitsgraden mit

verschiedene Modulationsstrategien angesteuert werden. Auf genau diese Komponente des Wechselrichters spezialisiert sich diese Ausarbeitung, indem in den folgenden Kapiteln 3 und 4 verschiedene Modulationsstrategien zusammengetragen, simuliert und analysiert werden. Weiterführend folgt in den Kapiteln 5 und 6 die Implementierung ausgewählter Modulationsstrategien auf einem FPGA-Board sowie die messtechnische Überprüfung der Simulationsergebnisse. Dabei wird die Auswahl der zu untersuchenden Modulationsstrategien auf Sinus-Pulsweiten-Modulationen (S-PWM) beschränkt.

Grundlegend werden bei diesen S-PWM-Verfahren ein oder mehrere, meist dreieckförmige Trägersignale mit einem oder mehreren Sinus-Referenzsignalen verglichen. Durch den Vergleich dieser Signale werden mittels Komparatoren deren Überschneidungen ermittelt und damit die Schaltzeitpunkte für die Leistungshalbleiter festgelegt. Je nach Einstellung der Träger- und Referenzsignale können somit verschiedene Pulsmuster erzeugt werden. Dabei wird durch die Einstellung der Frequenz des Sinus-Referenzsignals die in der Rechteckausgangsspannung enthaltenen Sinusgrundschwingung vorgegeben. Für den Betrieb eines Wechselrichters an einem deutschen Energienetz muss die Frequenz des Referenzsignals f_{ref} somit nach der Formel (3) zu jedem Zeitpunkt gleich und synchron zur Netzfrequenz f_{Netz} verlaufen.

Gleichzeitig kann durch die Pulsbreite die Amplitude der gewünschten Ausgangs-Sinusschwingung eingestellt werden. Die Einstellung der Pulsbreite der Rechteckausgangssignale erfolgt ebenfalls über das Referenzsignal. Hierfür wird das Referenzsignal mit dem Modulationsindex M aus Formel (4) multipliziert. Hieraus folgt, dass im Falle der in Abschnitten 2.4 und 2.5 vorgestellten Modulationsstrategien mindestens die doppelte DC-Eingangsspannung im Verhältnis zur Amplitude der gewünschten AC-Ausgangsspannung am Wechselrichter angeschlossen werden muss.

$$f_{ref} = f_{Netz} \quad (3)$$

$$M = \frac{\widehat{U}_{AC}}{\frac{U_{zwnk}}{2}} \quad (4)$$

Die durch Referenz- und Trägersignale erzeugten Pulsmustersignale können anschließend mittels Treiberschaltungen für die Ansteuerung der Leistungshalbleiter in der Wechselrichterschaltungen genutzt werden. Am Beispiel der in Abschnitt 2.5.1 detailliert vorgestellten NPC-Topologie ergibt sich hierdurch für die Ansteuerung der Leistungshalbleiter beispielsweise das in Abb. 6 dargestellte Schaltmuster. Am Brückenausgang wird hierdurch eine bipolare periodische pulsbreitenmodellierte Rechteckspannung $U_{Brücke}$ erzeugt.

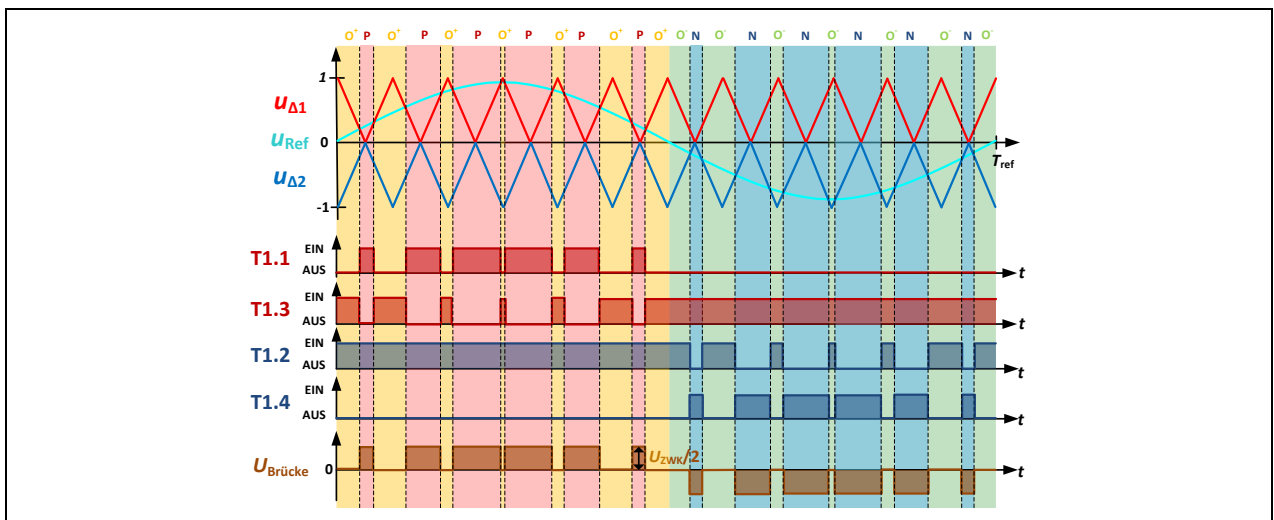


Abb. 6: Grundlegende Darstellung der Schaltsignalerzeugung für die Leistungshalbleiteransteuerung einer NPC-Schaltung mittels S-PWM-Modulation durch Vergleich eines Referenzsignals mit zwei Phasen und Y-Achsen verschobenen Dreieck-Trägersignalen

Für die Darstellung in Abb. 6 wurde zur Veranschaulichung der Ansteuerungsstrategie eine Trägerfrequenz bzw. eine daraus resultierende Schaltfrequenz der Halbleiter von 600 Hz gewählt. Dies entspricht den dargestellten zwölf Pulsen pro Halbwelle. Für eine Schaltfrequenz von 2 kHz entsteht am Ausgang des Wechselrichters entsprechend eine Rechteckspannung nach Graf 1 in Abb. 7. Um aus dieser mithilfe der Leistungselektronik erzeugten periodischen Rechteckspannung wieder eine stetig verlaufende periodische Sinusspannung zu generieren, wird eine Filterschaltung eingesetzt. Bei am Energienetz angeschlossenen Wechselrichtern handelt es sich dabei meist um einen LCL Filter. Wird ein solcher Filter am Ausgang der Leistungselektronischen Schaltung angeschlossen, wird die von der Leistungselektronik erzeugte Rechteckspannung zunächst in eine Induktivität eingepreßt. Durch das Einprägen einer pulsierenden Rechteckspannung in eine Induktivität wird der durch sie fließende Strom nach der Formel (5) in Abhängigkeit der Pulsbreite der eingepreßten Spannung integriert.

$$i_L(t) = \frac{1}{L} \int u_L(t) dt \quad (5)$$

$$u_C(t) = \frac{1}{C} \int i_C(t) dt \quad (6)$$

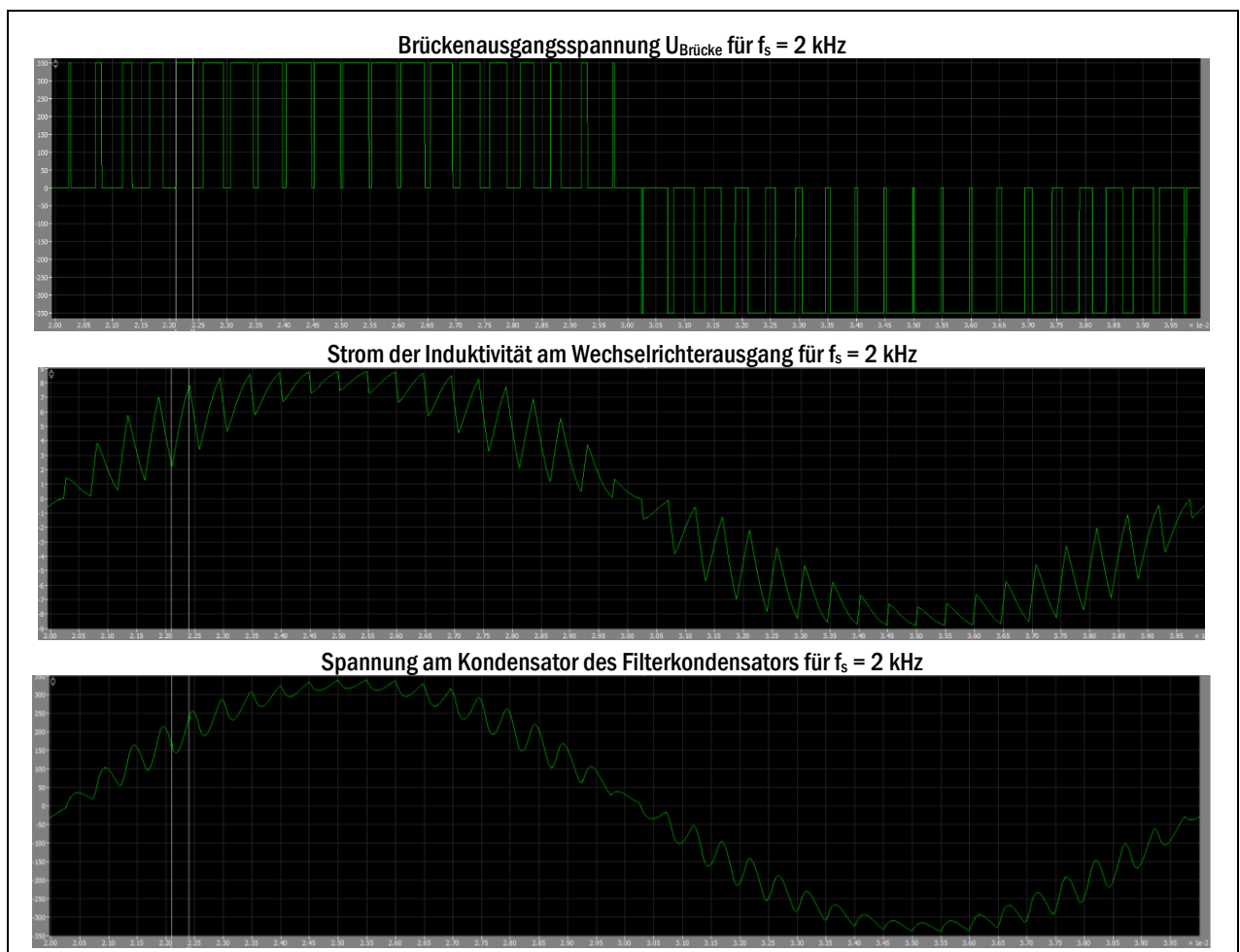


Abb. 7: Spannungsverlauf am Brückenausgang (1.Grafik) sowie Strom- und Spannungsverlauf an der Filter-Induktivität (2.Grafik) und -Kapazität (3.Grafik) für die Schaltfrequenz 2 kHz

Der dadurch in der Spule fließende Strom verläuft dann nach Graf 2 in Abb. 7. Während einer konstanten positiven Spannung steigt der Strom somit linear an. Weiterhin wird er während der Pulspausen von der Spule weiter in

Vorwärtsrichtung getrieben, fällt dabei jedoch linear ab. Dadurch entsteht ein rippelförmiger Dreiecksstrom, der sich bereits der Grundform eines Sinusverlaufes angenähert hat. Dieser rippelförmige Strom wird wiederum in den hinter der Spule liegende parallel zum Netz angeschlossenen Filterkondensator eingepreßt. Ähnlich wie bei der Filterspule bewirkt diesmal der eingepreßte Strom in dem Kondensator nach Formel (6) eine Integration der Kondensatorspannung. Hierdurch entsteht ein welliger Spannungsverlauf nach Graf 3 in Abb. 7 der dem Sinusverlauf schon sehr nahe kommt.

Wird nun die Schaltfrequenz für die Ansteuerung der Leistungshalbleiter erhöht, wird das erzeugte Pulsmuster feiner. Für eine Schaltfrequenz von 16 kHz ergibt sich dann ein Pulsmuster am Brückenausgang nach Graf 1 der Abb. 8. Wie in den Grafiken 2 und 3 der Abb. 8 zu erkennen ist, wird durch die Erhöhung der Schaltfrequenz der Strom-Rippel der Induktivität kleiner und somit wiederum auch der vom Kondensator erzeugte Spannungsverlauf glatter. Es ist deutlich zu erkennen wie viel exakter der gewünschte Sinus durch die Erhöhung der Schaltfrequenz angenähert werden kann. Daraus folgt, je höher die Schaltfrequenz gewählt wird, desto stetiger wird der Verlauf der Wechselrichterausgangsspannung einem exakten Sinus angenähert und desto geringer werden auch seine Oberschwingungsanteile ausfallen.

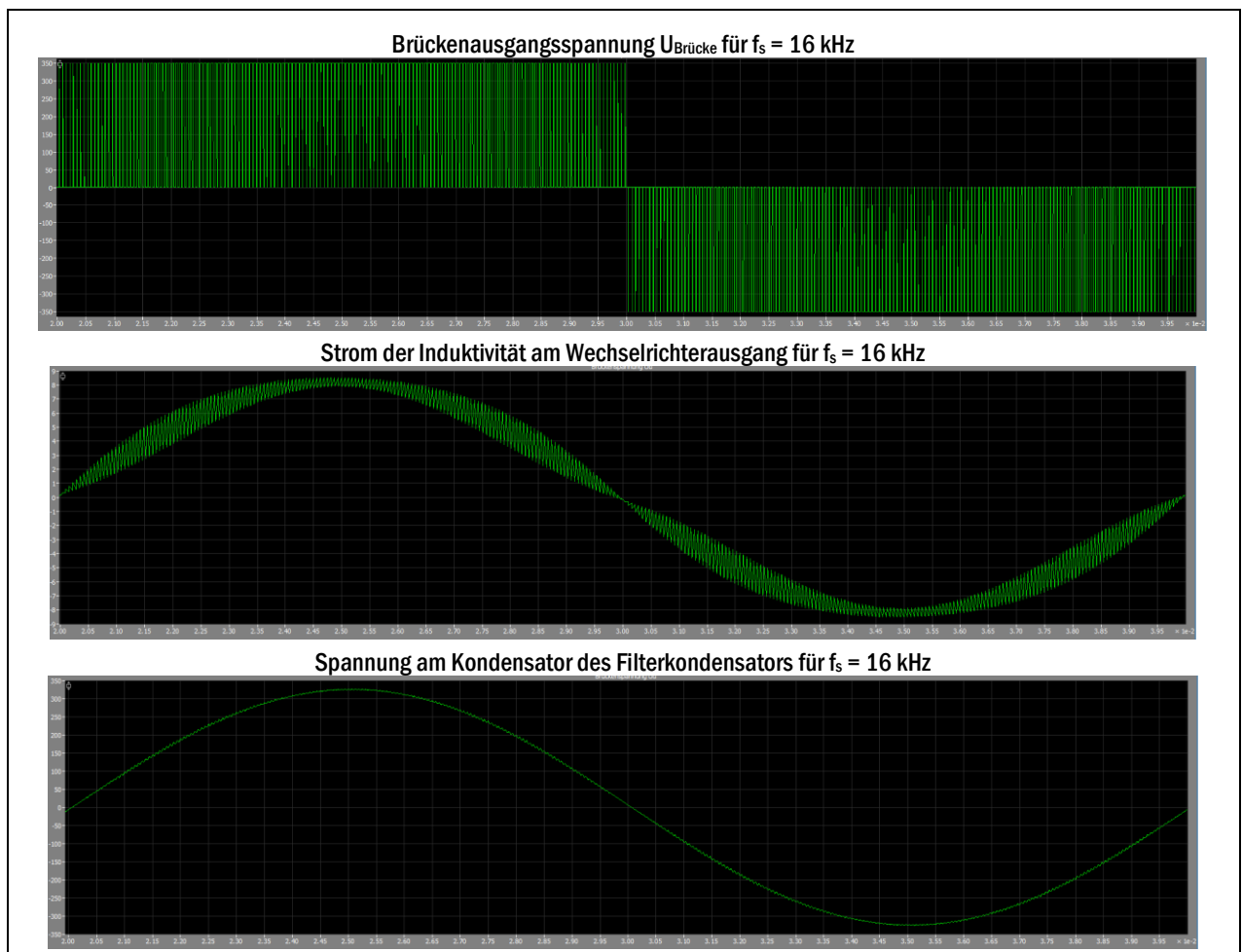


Abb. 8: Spannungsverlauf am Brückenausgang (1.Grafik) sowie Strom- und Spannungsverlauf an der Filter-Induktivität (2.Grafik) und -Kapazität (3.Grafik) für die Schaltfrequenz 16 kHz

Indem eine weitere Induktivität L_2 hinter den LC-Filter geschaltet wird, kann dieser Verlauf noch feiner herausgefiltert werden. Da es bei parallelgeschalteten Spannungsquellen schon bei geringen Spannungsdifferenzen zu hohen Ausgleichsströmen kommt, ist die Hauptaufgabe der Induktivität L_2 jedoch, anstelle der Spannungseinprägung durch

den Kondensator einen Stromeinprägung in das Netz sicherzustellen. Dadurch wird vermieden, dass es zu den beschriebenen Ausgleichsströmen kommen kann.

Um die Filter-Induktivität L_1 am Wechselrichterausgang und die parallel dazu angeschlossen Filter-Kapazität C_f zu dimensionieren, können nach [15, p. 48] die Formeln (7) und (8) herangezogen werden.

$$L_1 = \frac{U_{zwl}}{8 * f_{s,out} * \Delta i_{a max}} \quad (7)$$

$$C_f = 0.05 * \frac{S_n}{2 * \pi * f_{Netz} * U_{Netz}^2} \quad (8)$$

Aus der Formel (7) wird ersichtlich, dass durch eine Erhöhung der Schaltfrequenz f_s der Brückenausgangsspannung die erforderliche Filter-Induktivität L_1 kleiner ausgelegt werden kann. Durch eine kleinere Filter-Induktivität können Kosten eingespart werden, sowie das Volumen und das Gewicht des Umrichters verringert werden. Zusammengefasst entstehen somit durch die Erhöhung der Schaltfrequenz die Vorteile [16, p. 301]:

- Stetiger Verlauf der Wechselrichterausgangsspannung
- Verringerung der Oberschwingungsanteile
- Kosten- Volumen- und Gewichtsreduzierung der Filtereinheit

Da Schaltvorgänge wie in Abschnitt 2.7 beschrieben nicht verlustlos ablaufen, erhöhen sich bei einer Steigerung der Schaltfrequenz auch die Schaltverluste, wodurch die Gesamtverluste steigen und der Wirkungsgrad sinkt. Durch die erhöhten Verluste steigt auch die Temperatur der Halbleiter an, was evtl. durch ein zusätzliches Kühlsystem kompensiert werden muss. Dies hat zur Folge, dass das Volumen und die Kosten des Wechselrichters ansteigen. Zusammengefasst ergeben sich somit durch die Erhöhung der Schaltfrequenz die folgenden Nachteile: [16, p. 301]

- Verringerung des Gesamtwirkungsgrades
- Erhöhung der Halbleitertemperatur
- Kosten-, Volumen- und Gewichtssteigerung durch zusätzliche Kühlsysteme

Die Herausforderung bei der Dimensionierung der Leistungselektronik sowie bei der Abstimmung der Ansteuerungsstrategien für einen Wechselrichter besteht somit darin, je nach Anwendungsfall einen idealen Kompromiss zwischen diesen gegensätzlichen Auslegungskriterien auszuarbeiten.

Um weitere Faktoren wie das Hoch- und Herunterfahren des Wechselrichters, die Regelung von externen Größen, die Realisierung von Schutzfunktionen, eine Messdatenprotokollierung sowie eine Fehleranalyse zu realisieren, ist zusätzlich zu Ansteuereinheit noch eine übergeordnete Regelungseinheit erforderlich [14, p. 2]. Werden mehrere Wechselrichteranlagen in einem Verbund betrieben, kann auch optional eine übergeordnete Prozessregelung realisiert werden.

2.4 Zweistufige Wechselrichterschaltungen

In diesem Abschnitt werden die Funktionen der grundlegenden zweistufigen leistungselektronischen Schaltungen selbstgeführter Wechselrichter im Betrieb an einem einphasigen Verbrauchernetz beschrieben sowie dessen grundlegende Ansteuerungsverfahren. Selbstgeführt bedeutet in diesem Zusammenhang, dass in der leistungselektronischen Schaltung als Schalterelemente ausschließlich ein- und ausschaltbare Leistungshalbleiter

eingesetzt werden [16, p. 241]. Die Grundsaltungen für die Wandlung einer eingepprägten Gleichspannung in eine einphasige Wechselspannung stellen die beiden Schaltungen der Halb- und Vollbrückenschaltung dar. Um das Grundprinzip dieser leistungselektronischen Schaltungen darzustellen, werden diese in den folgenden Kapiteln 2.4.1 und 2.4.2 näher beschrieben.

2.4.1 Halbbrücke

Die einfachste Schaltung zur Umwandlung einer Gleich- in eine Wechselspannung stellt eine einphasige Halbbrückenschaltung dar. Die dafür erforderliche Schaltung ist in Abb. 9 dargestellt. Um die DC-Eingangsspannung U_{zWK} der Quelle zu stabilisieren, wird diese zunächst an einen aus zwei identischen Kondensatoren bestehenden DC-Zwischenkreis angeschlossen. Die hierfür erforderlichen Kondensatoren werden nach Formel (9) dimensioniert. [14, p. 38 ff.]

$$C_{DC} = \frac{P_{out}}{2 * \pi * f_{Netz} * U_{zWK} * \Delta u_{zWK}} \quad (9)$$

Durch diese Maßnahme liegt am Eingang der Halbbrücke eine nahezu konstante Gleichspannung U_{zWK} an. Zudem teilt sich diese Zwischenkreisspannung U_{zWK} auf die beiden Kondensatoren C_1 und C_2 mit je $U_{zWK}/2$ auf. Die Last wird zwischen dem Wechselrichterausgangspunkten X_1 und dem Mittelpunkt M der in Reihe geschalteten Kondensatoren C_1 und C_2 angeschlossen. Durch das Einschalten von Schalter T1 kann somit das Potential $U_{zWK}/2$ nach Abb. 9 (links) und durch das Einschalten von Schalter T2 das Potential $-U_{zWK}/2$ nach Abb. 9 (rechts) an den Ausgang der Halbbrückenschaltung geschaltet werden. Schließt man beide Schalter gleichzeitig, wird die Schaltung kurzgeschlossen. Somit handelt es sich bei dieser Schalterstellung um einen verbotenen Schaltzustand. Daher dürfen die beiden Schalter jeweils erst eingeschaltet werden, wenn sichergestellt ist, dass der gegenüberliegende Schalter sicher ausgeschaltet wurde. Dies kann beispielsweise durch eine Verzögerungszeit sichergestellt werden. Auf die Einbindung diese Verzögerungszeit und die daraus resultierende Effekte wird in Abschnitt 2.8 und 2.9 näher eingegangen. Der Einfachheit halber wird diese Verzögerungszeit in dem folgenden Schaltmusterdarstellungen nicht aufgeführt. [14, p. 38 ff.]

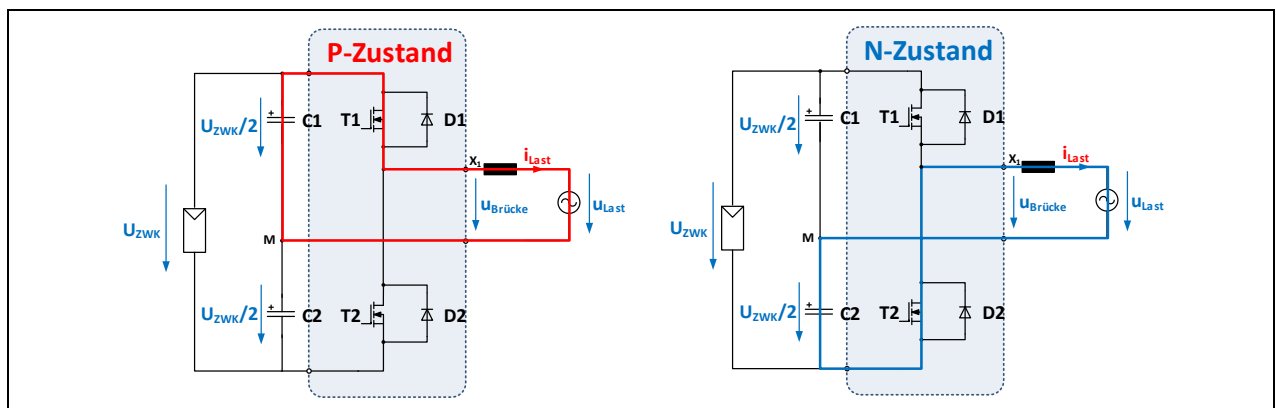


Abb. 9: Aufbau und mögliche Schaltzustände der Halbbrückenschaltung [14, p. 17]

Indem die Schalter taktweise abwechselnd angesteuert werden, wird im stetigen Wechsel das positive Potential $U_{zWK}/2$ und das negative Potential $-U_{zWK}/2$ an den Ausgang der Schaltung gelegt. Die benötigte Schalteransteuerung kann durch eine einfach Modulationsstrategie nach Abb. 10 erzeugt werden. [14, p. 38 ff.]

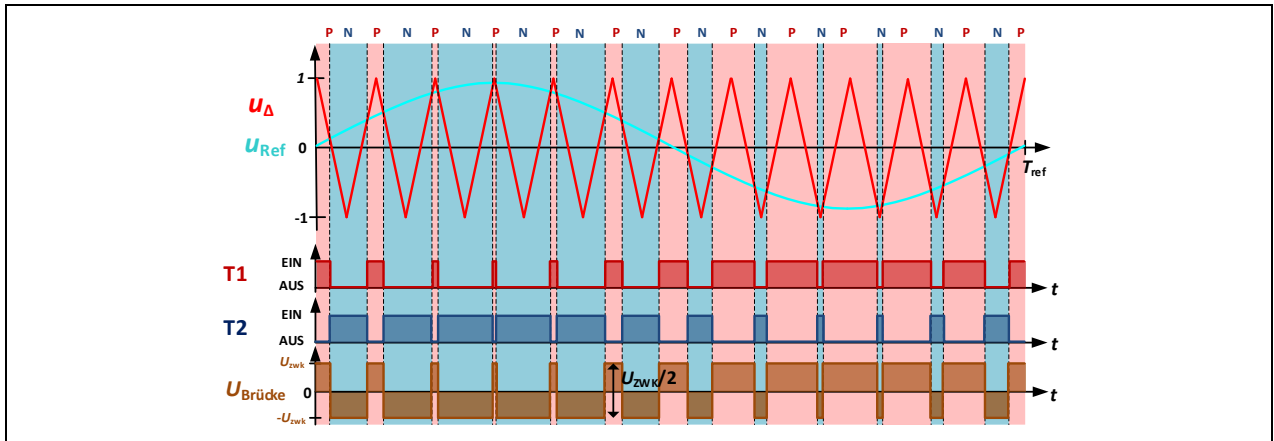


Abb. 10: Einfache Modulationsstrategie für die Ansteuerung einer Halbbrückenschaltung zur Erzeugung einer bipolaren Brückenausgangsspannung

Durch die aufgezeigte Modulationsstrategie wird am Ausgang des Wechselrichters, wie Abb. 10 zeigt, eine bipolare Rechteckspannung $U_{\text{Brücke}}$ ausgegeben. Um die gewünschte Form und Amplitude der Netzausgangsspannung zu erhalten, kann aus diesem Rechtecksignal durch das zusätzliche Einbinden eines Ausgangsfilters, nach dem Prinzip aus Abschnitt 2.3, die in diesem Taktmuster enthaltene Grundsinschwingung herausgefiltert werden.

2.4.2 Vollbrücke

Die Vollbrückenschaltung ist eine Erweiterung der Halbbrückenschaltung. Sie besteht aus zwei aneinandergereihten Halbbrücken und somit aus insgesamt vier Leistungsschaltern. Es werden die identischen Zwischenkreiskapazitäten C_1 und C_2 wie bei der Halbbrückenschaltung eingesetzt, so dass sich auch hier die Eingangsspannung U_{ZWK} zu je $U_{\text{ZWK}}/2$ auf C_1 und C_2 aufteilt. Anders als bei der Halbbrücke wird die einphasige Last bei der Vollbrücke jedoch nicht am Mittelpunkt des Gleichspannungszwischenkreises, sondern zwischen den beiden Mittelpunkten der beiden Halbbrückenschaltungen nach Abb. 11 angeschlossen. [14, p. 42 f.]

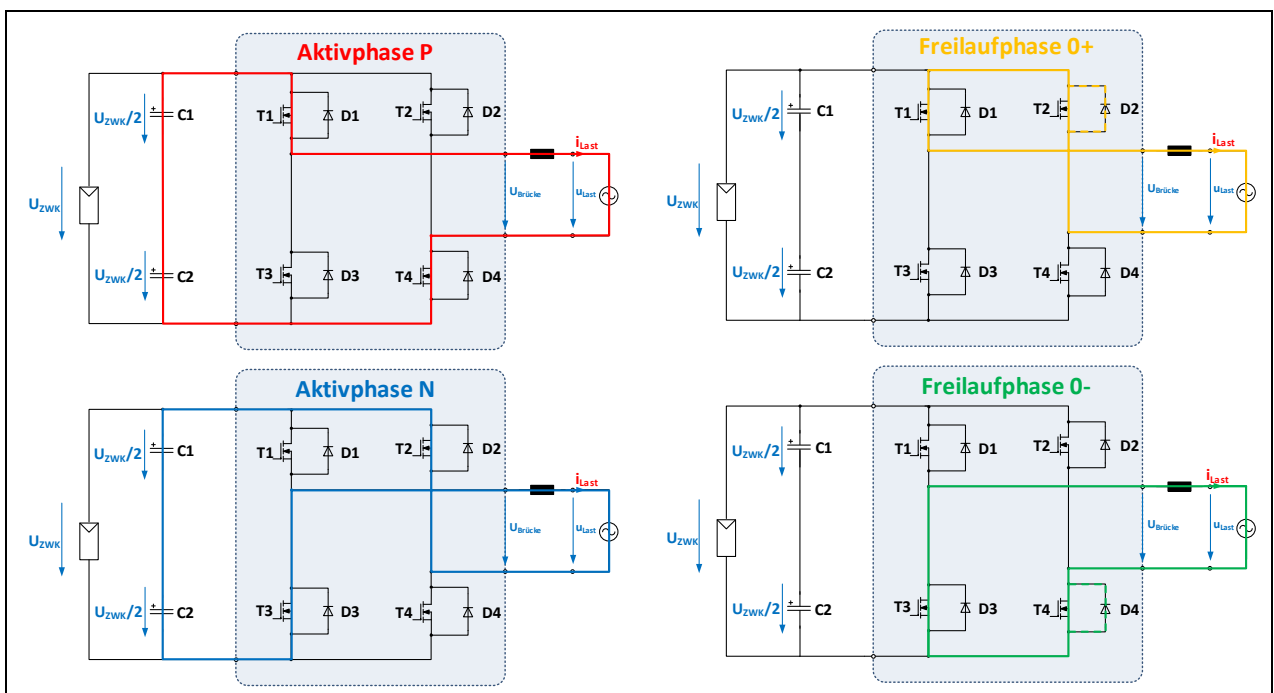


Abb. 11: Aufbau und mögliche Schaltzustände der Vollbrückenschaltung [14, p. 43]

Durch das gemeinsame Einschalten von Schalter T1 und T4 wird wie bei der Halbbrückenschaltung das positive Potential $U_{\text{ZWK}/2}$, und durch das gleichzeitige Einschalten von T2 und T3 das negative Potential $-U_{\text{ZWK}/2}$ an den Ausgang der Vollbrückenschaltung geschaltet. Die dazugehörigen „aktiven“ Schaltzustände der Schaltung sind in Abb. 11 (links) dargestellt. Die Schaltung befindet sich in diesem Fall im zweistufigen Betrieb. Wird die Schaltung nur in diesen beiden Schaltzuständen betrieben, ergibt sich der Vorteil, dass an den ausgeschalteten Leistungsschaltern jeweils nur die halbe Zwischenkreisspannung abfällt, wohingegen bei der Halbbrücke an den ausgeschalteten Leistungshalbleitern die volle Brückenspannung ansteht. Für die Umsetzung der Schaltung müssen daher vier anstatt zwei Leistungshalbleiter eingesetzt und angesteuert werden. Allerdings können diese aufgrund der geringeren Sperrspannungsanforderung deutlich kleiner dimensioniert werden.

Ergänzend zu diesen beiden Schaltzuständen sind bei der Vollbrückenschaltung noch die Schalterstellungen T1 und T2 oder T3 und T4 gleichzeitig eingeschalten möglich. Diese Schaltzustände werden auch Freilauf bzw. 0+ und 0- genannt. Die dazugehörigen Freilauf-Schaltzustände der Vollbrücke sind in Abb. 11 (rechts) dargestellt. Ist am Ausgang des Umrichters ein ohmsch-induktives Netz angeschlossen, was in der Regel in einem Energienetzen nach [10, p. 37] zutrifft, treibt diese Induktivität des Netzes den Strom nach dem Abschaltvorgang weiter und baut ihre gespeicherte Energie ab. Damit die Induktivität in diesem Zustand ihre Energie kontrolliert abbauen kann, wird nach einer aktiven P- oder N-Phase die Last durch das Einschalten eines Freilaufpfades kurzgeschlossen. So kann die Energie abgebaut werden und es wird ein zusätzlicher dritter Spannungszustand am Brückenausgang realisiert. Durch das abwechselnde Schalten von Aktivphase und Freilaufphase entsteht, wie in der Abb. 12 zu erkennen ist, eine unipolare periodische Rechteckspannung am Ausgang der Vollbrückenschaltung. Es handelt sich somit bei diesem Schaltbetrieb um eine dreistufige Wechselrichterschaltung. Durch dieses dreistufige Umrichter-Ausgangssignal kann der gewünschte Sinusverlauf ohne zusätzliche Filterung bereits deutlich besser nachgebildet werden als bei der Halbbrückenschaltung. Bei diesem Schaltbetrieb fällt bei den Schalterstellungen für den Freilauf an den ausgeschalteten Transistoren allerdings wieder die volle Brückenspannung U_{ZWK} an. Die Sperrspannung der eingesetzten Leistungshalbleiter muss in diesem Fall wieder für die vollen Brückenspannung dimensioniert werden.

Zusätzlich ist auch hier eine Filtereinheit erforderlich um die gewünschte Sinusspannung aus der dreistufigen rechteckförmigen Brückenausgangsspannung herauszufiltern.

Die vier möglichen und erlaubten Schaltzustände der Vollbrückenschaltung sind in Tab. 2 aufgelistet.

Schaltzustand	Brückenspannung $U_{\text{Brücke}}$	T1	T2	T3	T4
P	$U_{\text{ZWK}/2}$	1	0	0	1
0+	0	1	1	0	0
0-	0	0	0	1	1
N	$-U_{\text{ZWK}/2}$	0	1	1	0

Tab. 2: Erlaubte Schalterstellungen der Vollbrückenschaltung [14, p. 43]

Um diese vier verschiedenen Schaltzustände zu erzeugen werden nach Abb. 12 zwei um 180° phasenverschobene Trägersignale mit einem Sinus-Referenzsignal verglichen. Es fällt auf, dass sich bei dieser Ansteuerungsstrategie die Frequenz der erzeugten Rechteckpulse am Brückenausgang im Vergleich zu der Schaltfrequenz der Träger bzw. Leistungshalbleiter verdoppelt. Diese Besonderheit der sogenannten natürlichen Frequenzverdopplung wird ebenfalls zur Ansteuerung der ANPC-Topologie genutzt. Daher wird darauf in Abschnitt 2.5.2 noch einmal detailliert eingegangen. [14, p. 49 f.]

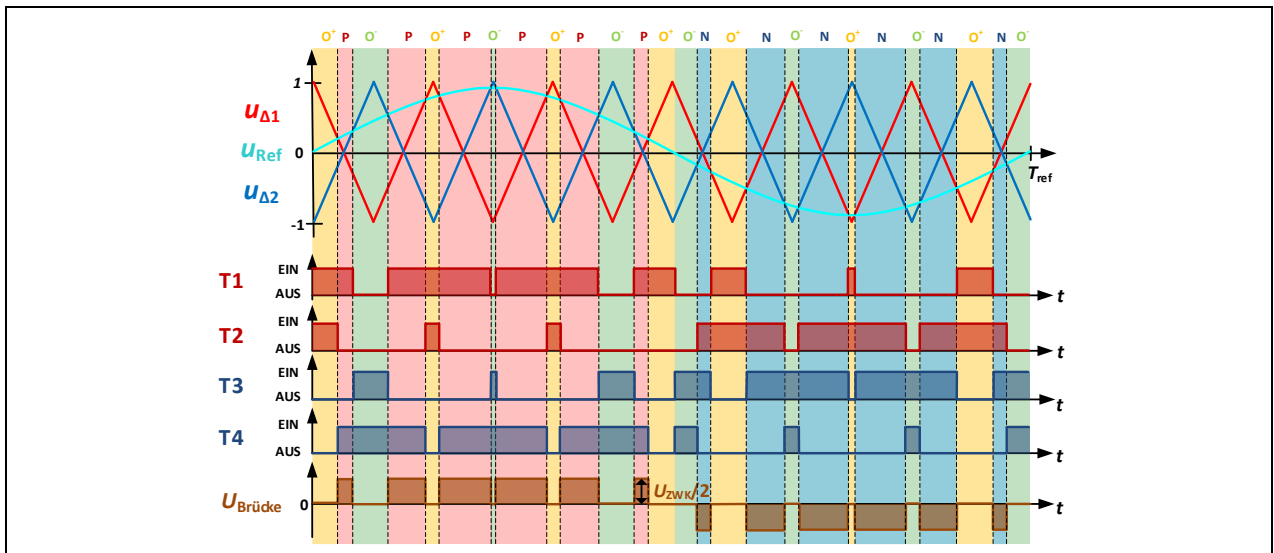


Abb. 12: Modulationsstrategie für die Ansteuerung einer Vollbrückenschaltung zur Erzeugung einer unipolaren Brückenausgangsspannung [14, p. 50]

2.5 Dreistufige Wechselrichterschaltungen

Wechselrichterschaltungen, die es ermöglichen, an ihrem Ausgang mehr als zwei Spannungsniveaus zur Verfügung zu stellen, werden im allgemeinen als Mehrpunkt-Wechselrichter oder Multi-Level-Inverter bezeichnet. Für die Realisierung eines solchen Multilevel-Inverters existieren verschiedene Grundschaltungstypen [16, p. 282 f.]. In vorangegangenen Projekten sowie Diplom- und Master-Abschlussarbeiten am Fraunhofer-Institut wurden bereits unterschiedliche Mehrpunkt-Topologien untersucht und miteinander verglichen. Als Ergebnis wurde, für den in Abschnitt 1.2 beschriebenen zu entwickelnden Mittelspannungswechselrichter, eine dreistufige ANPC-Topologie ausgewählt. Da diese ANPC-Topologie auf der NPC-Topologie basiert, wird in den folgenden Abschnitten der Grundaufbau dieser Schaltungen beschrieben, sowie jeweils die dadurch entstehenden Vor- und Nachteile herausgearbeitet.

2.5.1 Neutral-Point-Clamped (NPC) -Wechselrichter

Wie bei den zweistufigen Wechselrichterschaltungen wird auch bei der NPC-Topologie zunächst mithilfe von zwei Zwischenkreiskapazitäten C_1 und C_2 die Eingangsspannung U_{ZWK} zu je $U_{ZWK}/2$ auf C_1 und C_2 aufgeteilt. Anders als bei den zweistufigen Schaltungen wird der dadurch entstehende gleichspannungsseitige Mittelpunkt als „Neutral Point“ (NP) aus dem Wechselrichter herausgeführt. Als Leistungsschalter werden in dieser Schaltung vier rückwärtsleitfähige Elemente nach Abb. 13 eingesetzt. Auf die dafür eingesetzten Leistungshalbleiter wird in Abschnitt 2.6 näher eingegangen. Die Last wird in dieser Schaltung zwischen den „inneren“ Halbleitern und dem herausgeführten Mittelpunkt angeschlossen. Durch das gemeinsame Einschalten der oberen Schalter T1 und T2 oder der unteren Schalter T3 und T4 können jeweils die beiden Spannungen $U_{ZWK}/2$ und $-U_{ZWK}/2$ an den Ausgang des Umrichters geschaltet werden. Auch bei den Mehrpunktumrichtern werden diese Schaltzustände als „aktive“ Schaltzustände bezeichnet. Durch die mit dem Mittelpunkt verbundenen sogenannten Clamp-Dioden und das Schalten der inneren Schalter T2 und/oder T3, ist es in Abhängigkeit der Stromrichtung zusätzlich möglich, das Mittelpunktpotential mit der Last zu verbinden. Durch diese Beschaltung werden zwei Freilaufpfade in der NPC-Schaltung geschaffen. Somit ergeben sich bei der NPC-Schaltung die vier in Tab. 3 aufgelisteten erlaubten Schaltzustände [16, p. 284 ff.].

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.2	T1.3	T1.4
$U_{\text{ZWK}}/2_2$	P	1	1	0	0
0	0+	0	1	1	0
0	0-	0	1	1	0
$-U_{\text{ZWK}}/2$	N	0	0	1	1

Tab. 3: Logiktable der konventionellen Modulationsstrategie für die NPC-Topologie

Die NPC-Topologie kann somit genau wie die Vollbrückenschaltung ein 3-Stufiges Rechteckausgangssignal nach Abb. 17 erzeugen, wodurch die Filterkomponenten für die Erzeugung der gewünschten Sinusspannung ebenfalls kleiner dimensioniert werden können, um hierdurch Kosten, Volumen und Gewicht einsparen zu können. Zusätzlich dazu wird durch die Reihenschaltung von je zwei Leistungshalbleitern und der am Mittelpunkt angeschlossenen Clamping-Diode die maximale Spannung der einzelnen Halbleiter auf $U_{\text{ZWK}}/2$ reduziert. Durch die geringere erforderliche Sperrspannung müssen die Leistungshalbleiter nur für die halbe Zwischenkreisspannung ausgelegt werden und können somit kleiner dimensioniert werden oder die identische Schaltung kann für höhere Spannungslevel ausgelegt werden. Zudem werden aufgrund der geringeren Halbleiterspannungen die Spannungssprünge d_u/d_t zwischen den Schaltzuständen verringert und die Schaltverluste auf die verschiedenen Schaltungselemente verteilt. [16, p. 282]

Vorteile der NPC-Topologie:

- Dreistufige Rechteckausgangsspannung
- Die maximale Halbleiterspannung wird auf $U_{\text{ZWK}}/2$ reduziert.
- Geringere Spannungssprünge und Verluste zwischen den Schaltzuständen

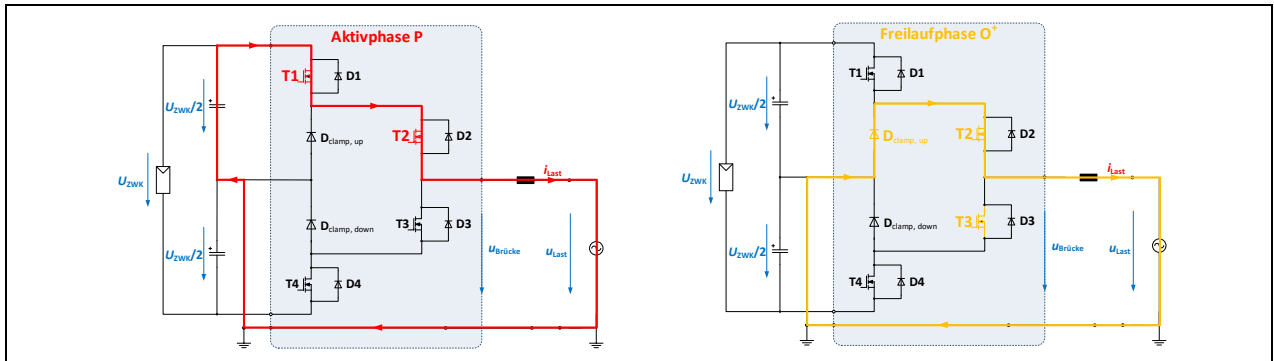
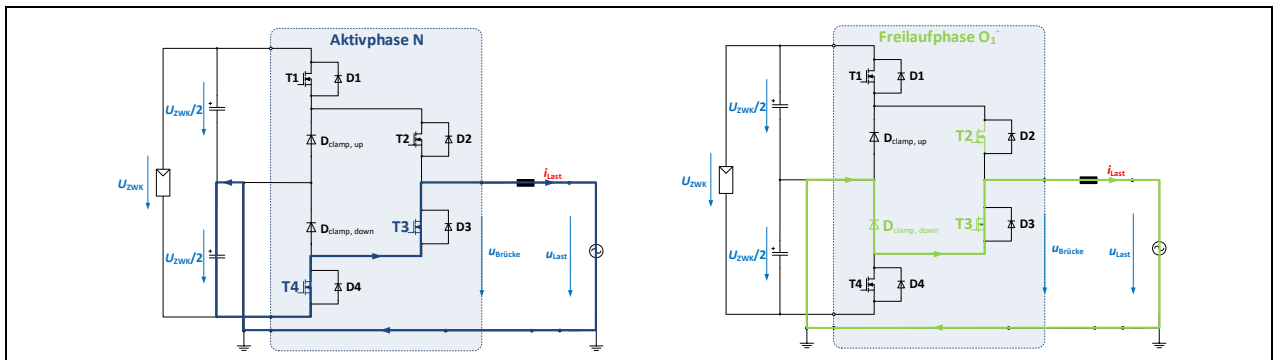
Da jedoch nach Abb. 13 und Abb. 14 sowie Tab. 3 deutlich wird, dass die inneren Schalter sowohl für die aktiven als auch die Freilaufzustände eingesetzt werden, führt dies zwangsläufig zu einer ungleichmäßigen Belastung der verschiedenen Halbleiterbauteile. Dies wiederum führt zu einer ungleichmäßigen Erwärmung der Halbleiter. Da die maximale Leistung eines Umrichters durch das am stärksten belasteten Bauteil beschränkt wird, kann hierdurch nicht das volle Potential der Leistungshalbleiter ausgeschöpft werden. [11, p. 702]

Nachteile der NPC-Topologie

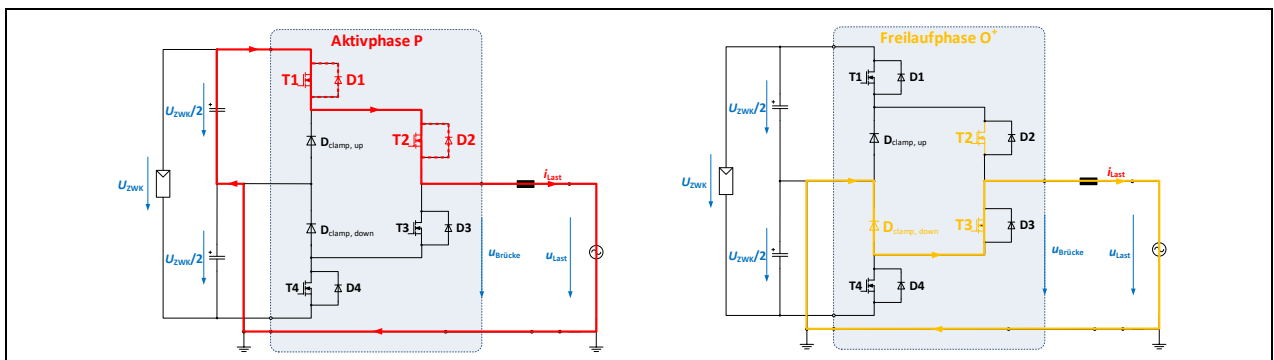
- Ungleichmäßige Verlustverteilung zwischen den Leistungshalbleitern
- Zusätzlich Clamping-Dioden erforderlich

Der NPC-Umrichter kann nach Abschnitt 2.2 im 2- und im 4- Quadranten-Betrieb arbeiten. Im 2. Quadranten-Betrieb ist der Umrichter an einer reinen ohmschen Last angeschlossen. In diesem Betrieb entsteht keine Phasenverschiebung zwischen Ausgangsspannung und -strom. Der Umrichter speist somit reine Wirkleistung von der DC-Quelle in das ausgangseitig angeschlossene AC-Netz ein. Der Umrichter arbeitet folglich im reinen Wechselrichterbetrieb und seine möglichen Arbeitspunkte liegen im ersten oder dritten Betriebsquadranten. [13, p. 22]

Zur Erzeugung der positiven Halbwelle der Ausgangsspannung u_{Last} werden nach Tab. 3 abwechselnd die Schalter zur Erzeugung der Schaltzustände P und 0+ ein- und ausgeschaltet. Der sich dadurch ergebende Strompfad ist in der Abb. 13 dargestellt. Für die Erzeugung der negativen Halbwelle der Ausgangsspannung u_{Last} werden dagegen abwechselnd die Schaltzustände N und 0- ein- und ausgeschaltet. Der entsprechende Strompfad für den Betrieb des Wechselrichters im 3. Betriebsquadranten ist in Abb. 14 dargestellt. [13, p. 22]

Abb. 13: Aktiv- und Freilaufschaltzustand der NPC-Topologie im 1. Betriebsquadranten ($u_{\text{Last}} > 0$ / $i_{\text{Last}} > 0$) [13, p. 22]Abb. 14 Aktiv- und Freilaufschaltzustand der NPC-Topologie im 3. Betriebsquadranten ($u_{\text{Last}} < 0$ / $i_{\text{Last}} < 0$) [13, p. 22]

Es fällt auf, dass sowohl für den Schaltzustand O^+ als auch O^- jeweils die beiden inneren Schalter T2 und T3 eingeschaltet werden. Dadurch wird es dem Umrichter ermöglicht, auch Arbeitspunkte im zweiten und vierten Betriebsquadranten anzunehmen. Das bedeutet, dass der Umrichter bei einer durch die Last generierten Phasenverschiebung zwischen Spannung und Strom auch Blindleistung aufnehmen bzw. abgeben kann. Die sich durch eine Phasenverschiebung zusätzlich einstellenden Strompfade der verschiedenen Schaltzustände P und O^+ sind in Abb. 15 und für die Schaltzustände N und O^- in Abb. 16 dargestellt. Da sich in diesen Zuständen im Vergleich zur rein ohmschen Belastung die Stromrichtung während eines Halbwellendurchgangs zum Teil umkehrt, wird die antiparallele Diode der rückwärtsleitfähigen Schalter in diesen Zuständen leitend und der Stromfluss teilt sich auf die beiden Bauteile Schalter und Bypass-Diode auf. Da jedoch der Durchlasswiderstand des Halbleiters deutlich geringer ist als der Durchlasswiderstand der Bypass-Diode, wird der Stromfluss über den rückwärtsleitenden Schalter deutlich größer ausfallen als der Stromfluss über die Bypass-Diode. Zur Verdeutlichung ist dieser Strompfad über die Bypass-Dioden in den folgenden Darstellungen gestrichelt dargestellt. [13, p. 23]

Abb. 15: Aktiv- und Freilaufschaltzustand der NPC-Topologie im 4. Betriebsquadranten ($u_{\text{Last}} > 0$ / $i_{\text{Last}} < 0$) [13, p. 23]

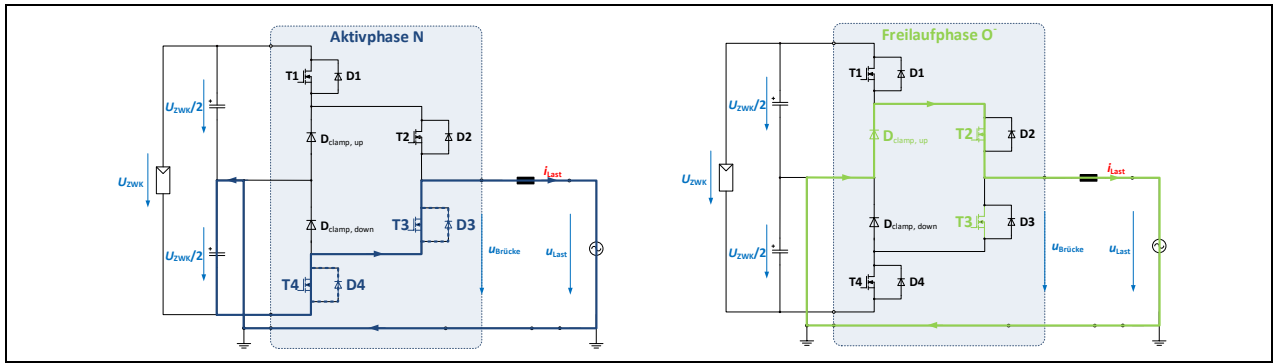


Abb. 16: Aktiv- und Freilaufschaftzustand der NPC-Topologie im 2. Betriebsquadranten ($U_{\text{Last}} < 0$ / $i_{\text{Last}} > 0$) [13, p. 23]

Für die Ansteuerung der vier aktiven Schalter der NPC-Topologie nach Abb. 17 werden zwei periodische um die Y-Achse gespiegelte dreieckförmige Trägersignale mit der Schaltfrequenz f_s und einer Amplitude von 1 und -1, mit einem Sinus-Referenzsignal verglichen. Ist das Referenzsignal während der pos. Halbwelle größer als das Trägersignal $U_{\Delta 1}$ wird der Schalter T1 ein- und der Schalter T3 ausgeschaltet. Ist es dagegen kleiner, wird Schalter T3 ein- und der Schalter T1 ausgeschaltet. Ebenso wird das Referenzsignal während der negativen Halbwelle mit dem zweiten Referenzsignal $U_{\Delta 2}$ verglichen und es werden die Schalter T2 und T4 gegensätzlich angesteuert. Ergänzend dazu wird während der pos. Halbwelle der Schalter T2 und während der negativen Halbwelle der Schalter T3 dauerhaft eingeschaltet. Durch diese Ansteuerungsstrategie, wird wie bei der Vollbrückenschaltung im dreistufigen Betrieb eine unipolare periodische Rechteckspannung $U_{\text{Brücke}}$ am Ausgang der NPC-Schaltung erzeugt. Durch dieses dreistufige Rechtecksignal an Brückenausgang wird der Sinus bereits angenähert und der Ausgangsfilter kann entsprechend kleiner dimensioniert werden als bei einem unipolaren Brückenausgangssignal wie im Falle der Halbbrückenschaltung.

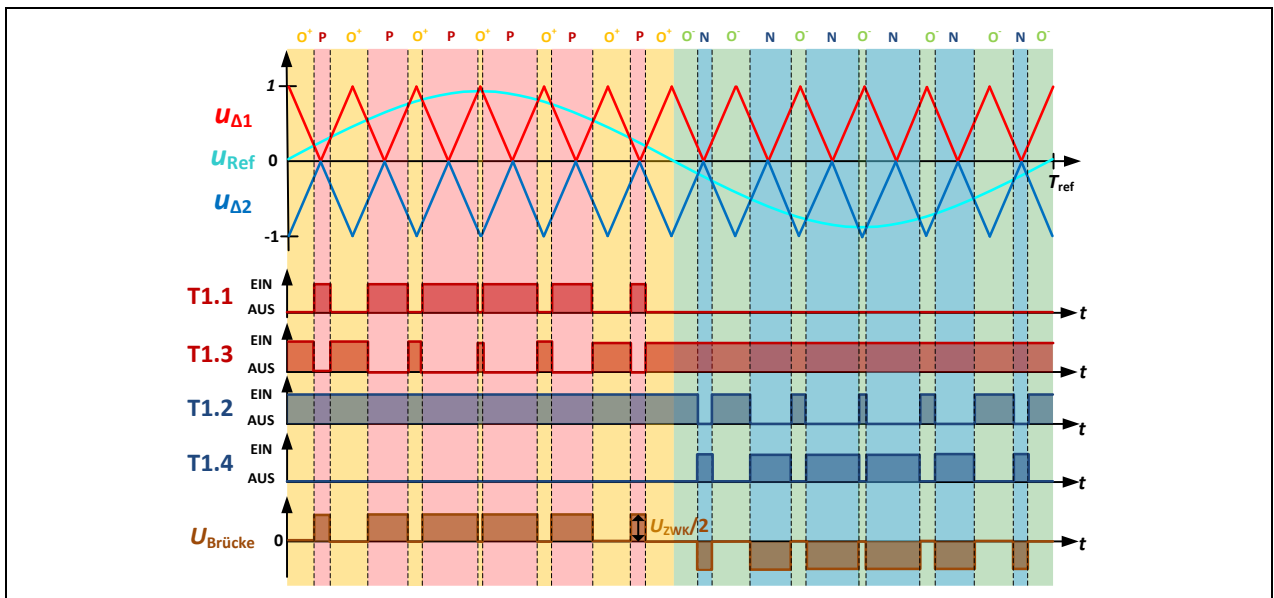


Abb. 17: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die konventionelle Modulationsstrategie der NPC-Topologie

2.5.2 Active Neutral-Point-Clamped (ANPC) -Wechselrichter

Die ANPC-Topologie ist eine Erweiterung der NPC-Topologie. Die Schaltung ist bis auf eine Ausnahme identisch zur NPC-Topologie aufgebaut. Lediglich die beiden Clamping-Dioden werden durch zwei zusätzlich aktive Schalter ersetzt. Dadurch ergibt sich der Schaltungsaufbau der ANPC-Topologie nach Abb. 18. Indem bei der ANPC-Topologie die Clamping-Dioden durch aktive Schalter ersetzt werden, verringern sich an diesen Bauteilen einerseits die während des Freilaufs entstehenden Durchlassverluste, jedoch erhöhen sich andererseits gleichzeitig deren Schaltverluste. In Abhängigkeit der Schalt- und Durchlassverlustrigenschaften der eingesetzten Leistungshalbleiter sowie unter Beachtung der zusätzlich anfallenden Ansteuerungsenergie der beiden zusätzlichen Halbleiterschalt Elemente, kann durch die ANPC-Topologie mit einer auf die Schalter abgestimmten Schaltfrequenz eine Optimierung der Gesamtverluste der leistungselektronischen Umrichter-Schaltung erreicht werden. Des Weiteren ist der Mittelpunktspfad bei der ANPC-Topologie durch die beiden zusätzlichen aktiven Schaltelemente nicht mehr stromrichtungsabhängig. Dies bedeutet, dass durch das Schalten der sogenannten Mittelpunktschalter in Kombination mit den inneren Schaltern nach Belieben der obere, der untere oder beide Mittelpunktspfade für den Freilaufzustand genutzt werden können. Somit ergeben sich für die ANPC-Topologie im Vergleich zu NPC-Topologie neue Freiheitsgrade für die Ansteuerung der Leistungshalbleiter. Diese redundanten Schaltzustände können auf verschiedene Weisen genutzt werden. Primär werden sie jedoch eingesetzt um den Hauptnachteil der ungleichmäßigen Verteilung der Schalt- und Durchlassverluste beim Betrieb der NPC Topologie, zu kompensieren. Durch diese Verlustverteilung können verschiedene Optimierungen vorgenommen werden. Da die maximale Belastung eines Wechselrichters von dem am stärksten belasteten Bauteil abhängt, kann durch eine Verlustverteilung beispielsweise die Nennleistung der Umrichter-Schaltung angehoben werden. Alternativ kann die Entlastung des am stärksten belasteten Bauteils auch genutzt werden, um die Schaltfrequenz der Schalter zu erhöhen. Dies kann wie schon in Abschnitt 2.3 beschrieben zu einer Verkleinerung der Ausgangs-Filterkomponenten genutzt werden. Gleichzeitig können durch eine Erhöhung der Schaltfrequenz die Oberschwingungsanteile des Brückenausgangssignals verringert werden. Neben der zusätzlichen Verlustverteilung bleiben bei der ANPC-Topologie auch die Vorteile der NPC-Topologie wie das dreistufige Rechteckausgangssignal, die maximale Halbleiterspannung $U_{\text{zWK}/2}$, sowie die geringeren Spannungssprünge und Verluste zwischen den Schaltzuständen erhalten. Für die ANPC-Topologie ergeben sich somit zusammengefasst die folgenden Vorteile: [11, p. 714 f.]

- Dreistufige Rechteckausgangsspannung
- Die maximale Halbleiterspannung wird auf $U_{\text{zWK}/2}$ reduziert.
- Geringere Spannungssprünge zwischen den Schaltzuständen
- Geringere Durchlassverluste im Freilauf
- Gleichmäßigere Verteilung der Halbleiterverluste als bei NPC-Topologie
 - Erhöhung der Nennleistung oder
 - Erhöhung der Schaltfrequenz zur Verkleinerung von Filterkomponenten und Oberschwingungsanteilen

Diese Vorteile erfordern jedoch, wie bereits beschrieben, zwei zusätzliche aktive Schaltelemente, wodurch die Kosten für die Topologie steigen. Des Weiteren entsteht durch die Ansteuerung dieser zusätzlichen aktiven Schalter höhere Schaltverluste, sowie ein größerer Ansteuerungsaufwand, was auch die erforderlichen Modulationsstrategien komplexer werden lässt. Für die ANPC-Topologie ergeben sich somit zusammengefasst die folgenden Nachteile:

- Es sind zwei zusätzliche aktive Bauelemente erforderlich.
 - Zusätzliche Kosten für den Aufbau der Schaltung
- Erhöhung der Schaltverluste

- Zusätzlicher Ansteuerungsaufwand für zwei weitere aktive Bauteile
- Komplexere Modulationsstrategie

Genau wie die NPC- kann auch die ANPC-Topologie sowohl im 2. als auch im 4. Quadranten-Betrieb betrieben werden. In den folgenden Abbildungen Abb. 18 bis Abb. 21 werden die grundlegenden Schaltzustände für den Betrieb der ANPC-Topologie in diese beiden Betriebszuständen dargestellt.

Da es in der aktuellen Literatur keine einheitliche Nomenklatur für die Bezeichnung der in der ANPC-Topologie enthaltenen Halbleiter existiert, wird an dieser Stelle zur eindeutigen Identifikation dieser Schaltungskomponenten eine Vereinheitlichung für die Benennung dieser Schalter vorgenommen. So werden die äußeren Schalter dieser Schaltung im Folgenden mit T1 und T4 bezeichnet, sowie die inneren Schalter mit T2 und T3. Somit bleibt für die äußeren und inneren Schalter die Schalterbezeichnung der weit verbreiteten NPC-Topologie erhalten. Ergänzend dazu werden die Mittelpunktschalter mit den fortlaufenden Nummern T5 und T6 bezeichnet. Da in dieser Arbeit eine dreiphasige ANPC-Topologie untersucht werden soll, werden die Schalter im Falle einer dreiphasigen Topologie nach dem Schema $T_{x,y}$ benannt. Dabei beschreibt die erste Variable x jeweils, in welchen Brückenweg 1, 2 oder 3, respektive Phase sich der Schalter befindet. Die zweite Variable y beschreibt die genaue Position des Schalters innerhalb eines Brückenwegs. Um die grundlegenden Schaltzustände der ANPC-Topologie in den folgenden Abbildungen Abb. 18 bis Abb. 21 darzustellen, wird in diesem Abschnitt die einphasige Nomenklatur angewandt. In allen darauffolgenden Darstellungen ab Kapitel 3 wird die dreiphasige Nomenklatur einheitlich und durchgängig angewandt.

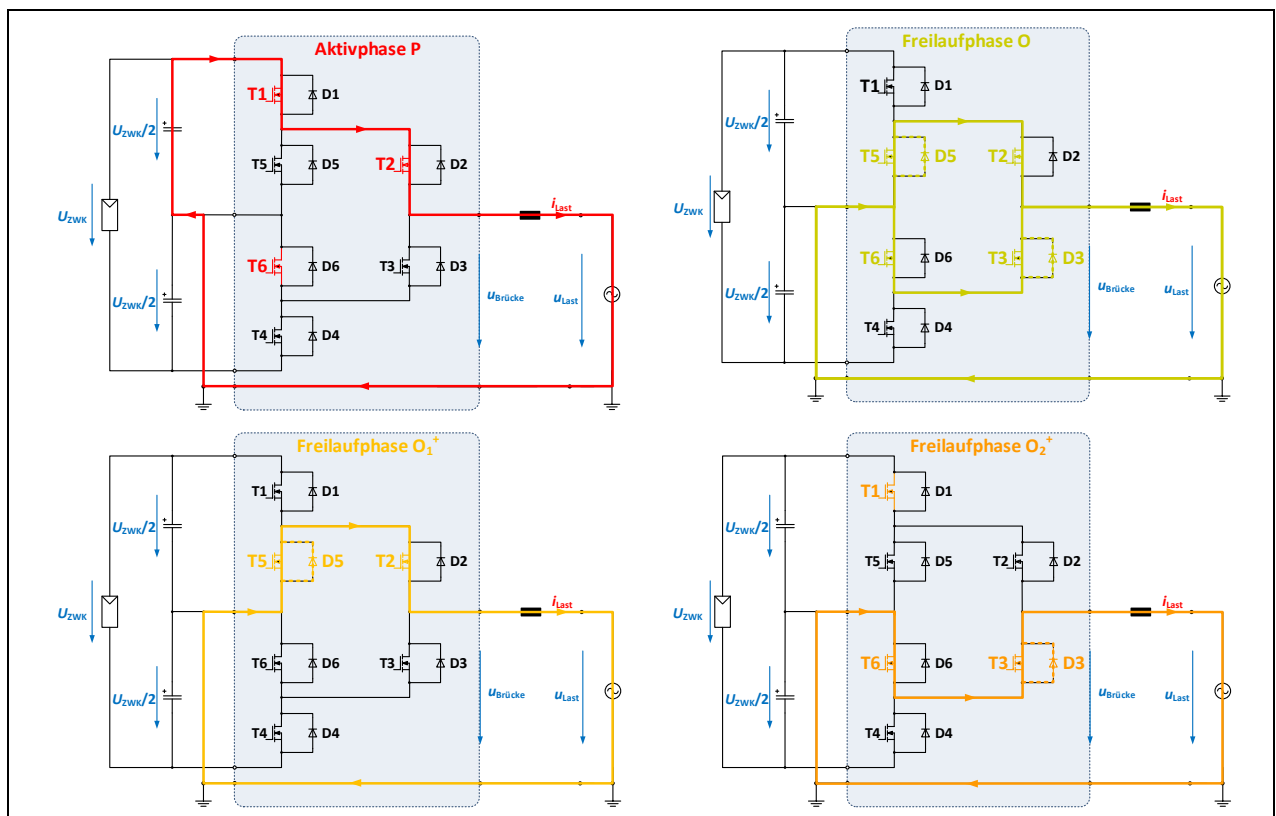
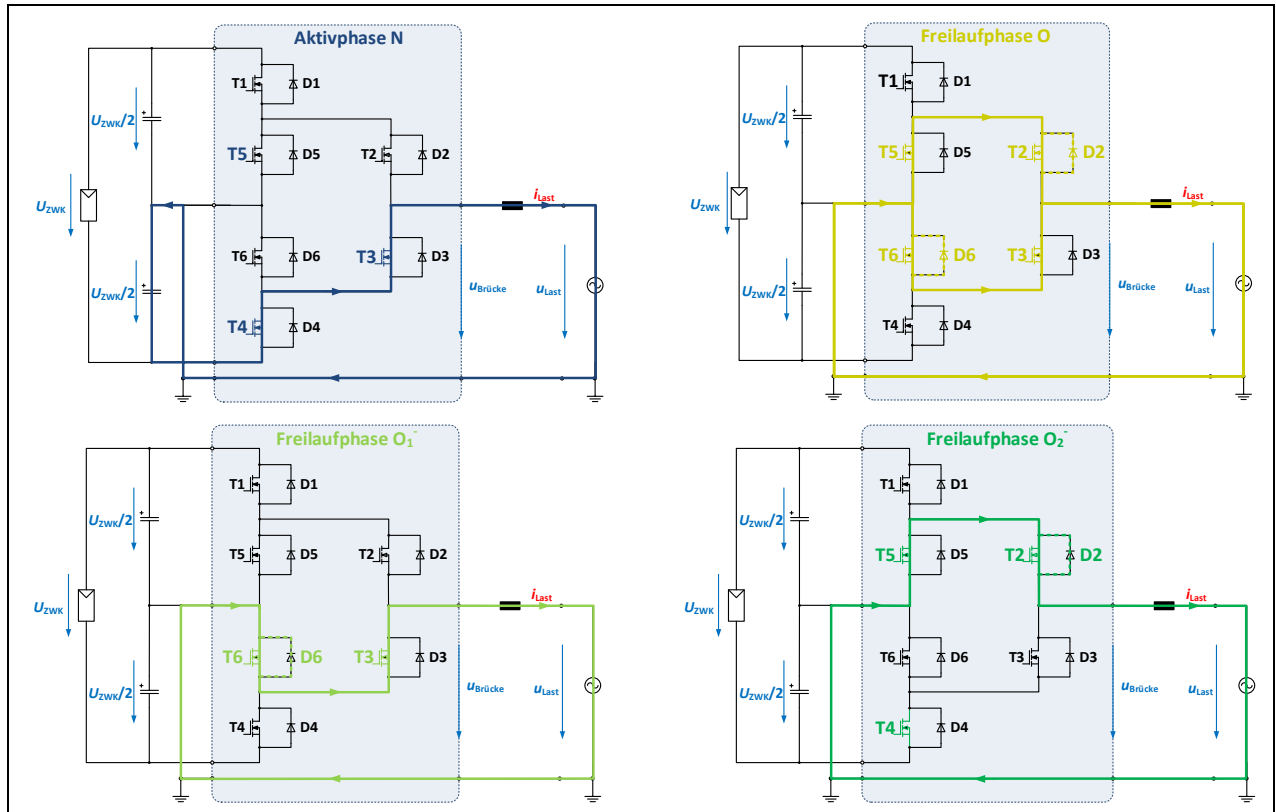
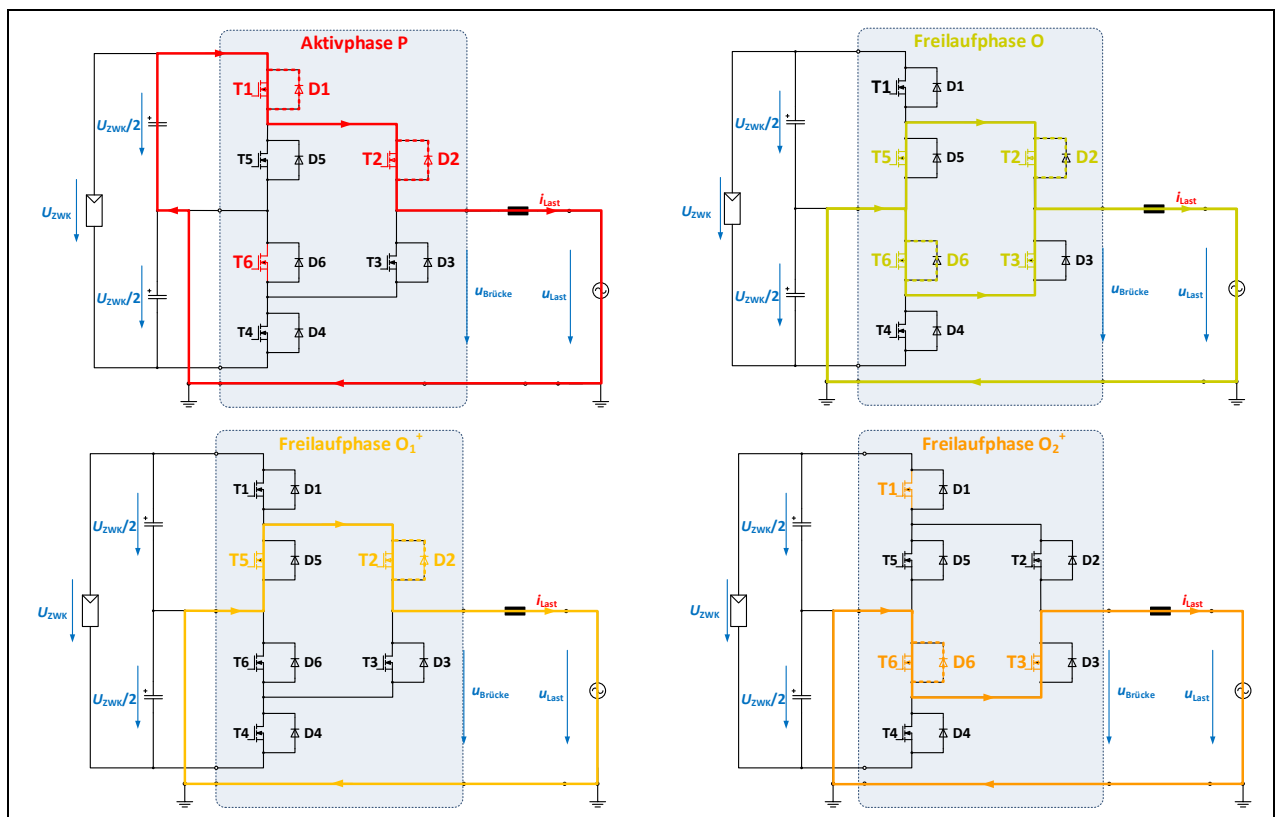


Abb. 18: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 1. Betriebsquadranten ($u_{\text{Last}} > 0$ / $i_{\text{Last}} > 0$) [13, p. 29]

Abb. 19: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 3. Betriebsquadranten ($u_{Last} < 0$ / $i_{Last} < 0$) [13, p. 30]Abb. 20: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 4. Betriebsquadranten ($u_{Last} > 0$ / $i_{Last} < 0$) [13, p. 31]

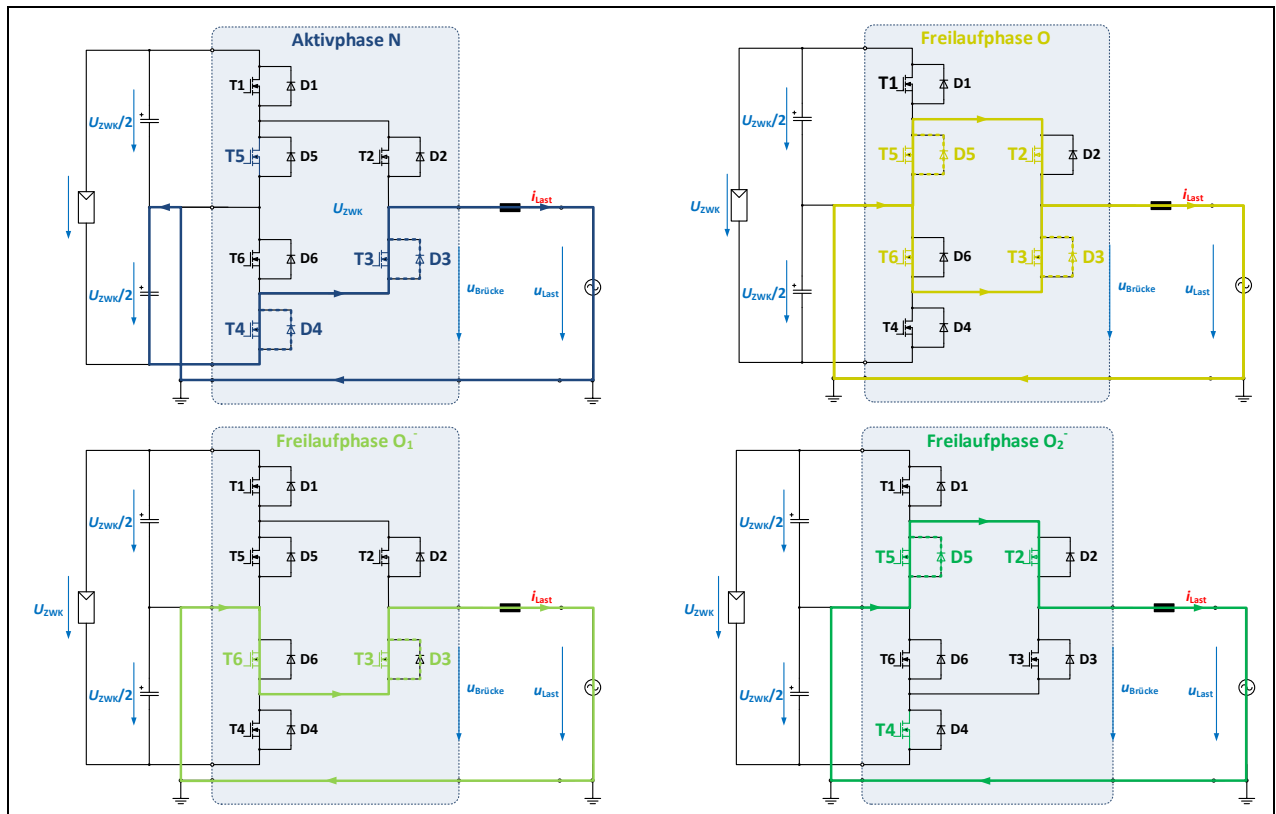


Abb. 21: Aktiv- und Freilaufschaltzustände der ANPC-Topologie im 2. Betriebsquadranten ($u_{\text{Last}} < 0$ / $i_{\text{Last}} > 0$) [13, p. 31]

Wie bereits beschrieben, kann in der ANPC- im Gegensatz zur NPC-Topologie der Freilaufpfad unabhängig von der aktuellen Stromrichtung durch die aktiven Mittelpunktschalter vorgegeben werden. Dadurch stehen für die Erzeugung der Brückenausgangsspannung sowohl im 2.- als auch im 4.Quadranten-Betrieb insgesamt sieben grundlegende Schaltzustände zur Verfügung. Die beiden aktiven Schaltzustände P und N werden dabei durch das Schalten von T1, T2 und T5 bzw. T2, T3 und T6 erzeugt. Das zusätzliche Einschalten des nicht lastführenden Mittelpunktschalter T5 bzw. T6 stellt dabei sicher, dass sich die Zwischenkreisspannung U_{zWK} in diesen Zuständen jeweils auf die Schalter der gegenüberliegenden Brücke zu je $U_{\text{zWK}}/2$ aufteilt. Für die Erzeugung des Freilaufzustands kann entweder der obere Mittelpunktpfad durch T2 & T5, der untere Mittelpunktpfad durch T3 & T6 oder der kombinierte Mittelpunktpfad durch T2, T3, T5, & T6 zur Last durchgeschaltet werden. Es entstehen somit nach Abb. 18 bis Abb. 21 die fünf Freilaufpfade O_1^+ , O_2^+ , O_1^- , O_2^- und 0. Je nach Stromrichtung werden wie bei der NPC-Topologie in den verschiedenen Schaltzuständen einzelnen antiparallele Dioden der rückwärtsleitfähigen Schalter leitend, wodurch sich der Stromfluss auch in der ANPC-Schaltung an verschiedenen Stellen nach Abb. 18 bis Abb. 21 auf die beiden Bauteile Schalter und Bypass-Diode aufteilt.

Mithilfe dieser sieben Grundschaltzustände und sechs weiteren Abwandlungen davon ergeben sich eine Vielzahl an Möglichkeiten für die Ansteuerung der Leistungshalbleiter für die ANPC-Schaltung. Eine vollständige Übersicht aller nutzbaren Schaltzustände der ANPC-Topologie liegt in der Tab. 4 vor.

Durch die intelligente Nutzung dieser Schaltzustände können, wie bereits beschrieben, verschiedene Optimierungsziele wie die gleichmäßigere Verteilung der Halbleiterverluste, die Erhöhung der Schaltfrequenz oder die Optimierung weiterer Schaltungsparameter erreicht werden. Aus dieser Motivation heraus, werden aufbauend auf den Grundlagen dieses Kapitels im folgenden Kapitel 3 verschiedene Modulationsstrategien zur Ansteuerung der ANPC-Topologie zusammengetragen und ausführlich analysiert.

Brückenspannung ($U_{\text{Brücke}}$)	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{zwl}}/2$	1	0	1	0	0	0
$U_{\text{zwl}}/2$	1	0	1	0	1	0
0	1	0	0	1	1	0
0	0	1	0	1	1	0
0	0	0	1	1	1	0
0	0	0	0	1	1	0
0	0	1	1	1	1	0
0	0	1	1	0	0	0
0	0	1	1	1	0	0
0	0	1	1	0	1	0
0	0	1	1	0	0	1
$-U_{\text{zwl}}/2$	0	1	0	1	0	1
$-U_{\text{zwl}}/2$	0	0	0	1	0	1

Tab. 4: Auflistung der nutzbaren Schaltzustände zur Ansteuerung der ANPC-Topologie [17, p. 10]

2.6 Eingesetzte Leistungshalbleiter

Für den Betrieb eines selbstgeführten Wechselrichters sind wie in Abschnitt 2.4 beschreiben voll steuerbare ein- und ausschaltbare Halbleiter erforderlich. Hierfür stehen heute verschiedene Bauteile wie Thyristoren, GTOs, IGBTs und MOSFETs zu Verfügung. Für die Auswahl und Dimensionierung eines geeigneten Leistungshalbleiters müssen je nach Anwendungsfall die Anforderungskriterien Effizienz, Zuverlässigkeit, Lebensdauer, Sicherheit, Verschleiß, Gewicht, Baugröße, elektromagnetische Verträglichkeit (EMV) sowie die Gesamtsystemkosten analysiert werden.

Im Bereich von mittleren bis hohen Schaltspannungen und Leistungen werden für Umrichter aufgrund ihres hohen Leistungsschaltvermögens, ihrer Langlebigkeit, einfacher Ansteuerung, ihres schnellen und gleichmäßigen Ein- und Ausschaltverhaltens bei gleichzeitig geringen Schalt- und Durchlassverlusten heute noch primär IGBTs in Kombination mit antiparallelen Freilaufdioden eingesetzt. Mit IGBTs lassen sich heute Spannungen >6 kV und Ströme >3 kA schalten. Dazu kommt, dass IGBTs aufgrund langjähriger Erfahrungen sehr kosteneffizient hergestellt werden können. [18, p. III], [16, p. 41] und [19]

Bei kleineren Schaltspannungen und Leistungen mit hohen Schaltfrequenzen werden dagegen primär Feldeffekttransistoren eingesetzt [16, p. 63]. Diese bieten ebenfalls die Vorteile der einfachen Ansteuerung, besitzen zusätzlich ein noch schnelleres Ein- und Ausschaltverhalten als IGBTs und weisen dazu noch geringere Schaltverluste auf [19].

Durch die Weiterentwicklung neuer Halbleitermaterialien wie beispielsweise Siliziumkarbid (SiC) oder Galliumnitrid (GaN), die im Vergleich zum Standard Halbleitermaterial Silizium (Si) eine größere Bandlücke zwischen Valenz- und Leitungsband besitzen, können heute Halbleiterbauteile mit sehr viel höheren Sperrspannungen hergestellt werden, die auch bei hohen Temperaturen betrieben werden können [20, p.664]. Dies liegt daran, dass bei einer breiteren Bandlücke eine höhere Energie in Form eines E-Feldes zum Beschleunigen der freien Ladungsträger erforderlich ist, um die bei einem Zusammenstoß mit einem weiteren Atom übertragene Ionisierung zu übertreffen [20, p. 662] & [13, p. 8]. Neben der größeren Bandlücke bietet das in Tab. 5 mit Si verglichene Halbleitermaterial 4H-SiC noch eine Reihe weiterer vorteilhafter physikalischer Eigenschaften, wie eine deutlich größere kritische elektrische Feldstärke E_{Krit} , eine

doppelt so große Sättigungsdriftgeschwindigkeit $v_{\text{sat},n}$ und eine mehr als doppelt so große Wärmeleitfähigkeit λ . [20, p. 664]

Parameter Technologie	E_g [eV]	n_i [1/cm ³]	E_{krit} [MV/cm]	μ_n [cm ² /Vs]	$v_{\text{sat},n}$ [cm/s]	λ [W/cmK]
Si	1.12	$1,4 \cdot 10^{10}$	0,3	1500	$1 \cdot 10^7$	1,5
4H-SiC	3.26	$5 \cdot 10^{-9}$	2,8	900	$2 \cdot 10^7$	3,9

Tab. 5: Elektrischen Kenngrößen für Si- und SiC-Halbleiter [20, p. 664]

Die höhere Sättigungsdriftgeschwindigkeit bewirkt in Kombination mit einer möglichen höheren elektrischen Feldstärke ein verbessertes dynamische Schaltverhalten, wodurch deutlich höhere Schaltfrequenzen ermöglicht werden. Ebenso kann die aktive Fläche der SiC-Halbleiter durch die gestiegene kritische elektrische Feldstärke bei gleicher Sperrspannungsanforderung kleiner ausgelegt werden, was zum einen den Durchlasswiderstand und zum anderen die bauteilinterne Kapazität verringert. Umgekehrt kann der Vorteil der erhöhten kritischen Feldstärke auch bei gleichbleibender Bauteilgröße genutzt werden, um Halbleiter mit höheren Sperrspannungen zu realisieren. Dadurch wird es möglich, SiC-MOSFETs mit hohen Sperrspannungen herzustellen. Darüber hinaus können diese durch den weiteren Vorteil der besseren Wärmeleitfähigkeit zusätzlich für höhere Leistungen ausgelegt werden, was zur Entwicklung von Leistungs-SiC-MOSFETs geführt hat. [20, p. 662 ff.] und [13, p. 8 f.]

Durch den Einsatz von Leistungs-SiC-MOSFETs als Schalter in Umrichter-Schaltungen lassen sich die Vorteile der MOSFET- und SiC-Technologien ideal ausnutzen und es können so verlustarme Direktumrichter mit sehr hohen Schaltfrequenzen realisiert werden. Durch die Umsetzung solcher Umrichter im hochfrequenten Schaltbetrieb können wie bereits in Abschnitt 2.3 und Formel (7) beschrieben die Filterkomponenten kleiner dimensioniert werden, wodurch die Mehrkosten der SiC-Halbleiterkomponenten bezogen auf das Gesamtsystem wieder kompensiert werden können.

Heute sind serienfertige SiC-Leistungs-MOSFETs mit Sperrspannungen bis 1,7 kV von beispielsweise Halbleiterherstellern wie Wolfspeed oder Infineon verfügbar. Darüber hinaus existieren bereits zahlreiche Prototypen mit Sperrspannungen bis 15 kV. Weitere SiC-Leistungs-MOSFETs mit noch höheren Sperrspannungen befinden sich in der Entwicklungsphase. Da in dieser Arbeit Modulationsstrategien für den zukünftigen Betrieb solcher Mittelspannungs-Umrichter mit SiC-Halbleiterschalt-elementen untersucht werden sollen, wird für die folgenden Simulation und spätere Implementierung der Modulationsstrategien eine bestehende Niederspannungshardware herangezogen. Diese besteht aus einer mit 900 V Silicon-Carbide Power MOSFETs vom Typ C3M0120090D bestückten, dreiphasigen ANPC-Schaltung. Der Schaltungsaufbau dieser Schaltung kann der Abb. 67 in Kapitel 6 entnommen werden. Abschließend sind in diesem Abschnitt noch einmal in Tab. 6 die Vor- und Nachteile von SiC-MOSFETs in Umrichter-Schaltungen zusammengestellt.

	Einsatz von Wide-Bandgap SiC-MOSFETs in Umrichterschaltungen
Vorteile	Hohe Spannungsfestigkeit
	Geringere Schalt- und Durchlassverluste
	Sehr hohe Schaltgeschwindigkeiten
	In Kombination mit der Optimierung der Filterkomponenten durch eine Erhöhung der Schaltfrequenz wird die Realisierung von leichten, kompakten und kostengünstigen Gesamt-Umrichter-Systemen möglich
	Hohe zulässige Junction-Temperatur
	Gute Wärmeleitfähigkeit
Nachteile	Serienreife SiC-MOSFETs sind heute nur bis 1,7 kV verfügbar
	Höhere Kosten
	Elektrische und mechanische Eigenschaften sind noch nicht vollständig erforscht

Tab. 6: Vor- und Nachteile der SiC-MOSFET Technologie gegenüber der konventionellen Si-MOSFET-Technologie

2.7 Schaltverhalten von idealen und realen Schaltern

Das Modell eines idealen Schalters besitzt nach Abb. 22 (links) nur zwei absolute Schaltzustände. Im geöffneten Zustand ist sein Widerstand unendlich groß, wodurch er keinen Stromfluss zulässt und die gesamte Spannung der an ihm anliegenden Spannungsquelle abfällt. Äquivalent dazu wird der Widerstand des idealen Schalters im eingeschalteten Zustand zu Null angenommen, wodurch die an ihm abfallende Spannung in diesem Zustand zu Null wird. Da in beiden Schaltzuständen eines der beiden Produkte Strom oder Spannung den Wert Null besitzt, wird das Gesamtprodukt der Momentanleistung $p(t)$ für diese Zeitpunkte zu Null. Da beim idealen Schalter jeweils im Aus-Zustand der Strom und in Ein-Zustand die Spannung dauerhaft Null beträgt, wird an einem idealen Schalter keine Leistung umgesetzt. Des Weiteren wird angenommen, dass die Änderung dieser beiden Zustände sprunghaft und in Folge dessen verzögerungsfrei erfolgt. Somit fallen bei diesem Modell auch bei den Schaltübergängen keine Verluste an.

Da in der Realität keine supraleitenden und absolut sperrenden Schalter existieren, ist weder der Stromfluss im ausgeschalteten Zustand noch die anliegende Spannung im eingeschalteten Zustand exakt Null. Dadurch entstehen in einem realen Schalter nach Abb. 22 (rechts) Durchlass- $P_{V,on}$ und Sperrverluste $P_{V,off}$. Dazu kommt, dass in der Realität keine Spannungs- und Stromsprünge im Schalter stattfinden. Dies bedeutet, dass Spannung und Strom bei einem Schaltvorgang in einem realen Schalter mit einer Verzögerung $t_{d,ein}$ bzw. $t_{d,aus}$ gegensätzlich ansteigen und abfallen. Diese als Kommutierung bezeichnete Ablösung der Spannungs- bzw. Stromführung während eines Schaltvorganges führt wiederum zu den Verlustleistung $P_{V,sw on}$ und $P_{V,sw off}$ während der Ein- und Ausschaltvorgänge. Da die Schaltvorgänge in einem Schalter i.d.R. sehr schnell ablaufen, fallen die Schaltverluste für Anwendungen mit geringen Schaltfrequenzen vernachlässigbar gering aus. Da in modernen Umrichter-Schaltungen die Leistungsschalter mit Schaltfrequenzen im Kilohertz Bereich getaktet werden, um ein möglichst feinstufiges Brückenausgangssignal zu erhalten, fallen sie für diesen Anwendungsbereich entsprechend größer aus und müssen im Folgenden berücksichtigt werden. Für die Verlustleistungsbetrachtung der in den folgenden Kapiteln untersuchten Modulationsstrategien werden die Schaltverluste $P_{V,sw on}$ und $P_{V,sw off}$ zu P_{sw} und die Durchlassverluste $P_{V,on}$ und $P_{V,off}$ nach Formel (11) zu P_{cond} zusammengefasst dargestellt. [10, p. 34 f.]

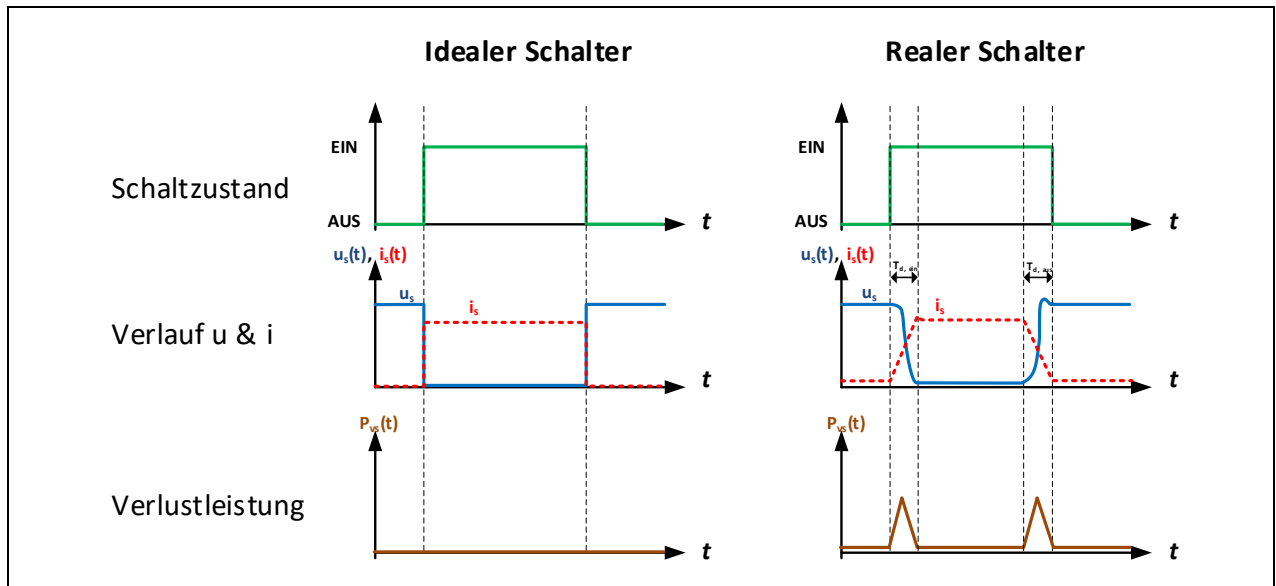


Abb. 22: Vergleich des Schaltverhalten von idealen (links) und realen (rechts) Schaltern

$$P_V = P_{V,on} + P_{V,off} + P_{V,sw\ on} + P_{V,sw\ off} \quad (10)$$

$$P_V = P_{cond} + P_{sw} \quad (11)$$

Ein Hauptziel bei jeder Umrichter Entwicklung ist stets die Erreichung eines möglichst hohen Gesamtwirkungsgrades. Um diesen zu erreichen und dem steigenden Anteil an Schaltverluste bei steigender Taktfrequenz entgegen zu wirken, können sogenannte „weiche“ Schaltvorgänge genutzt werden.

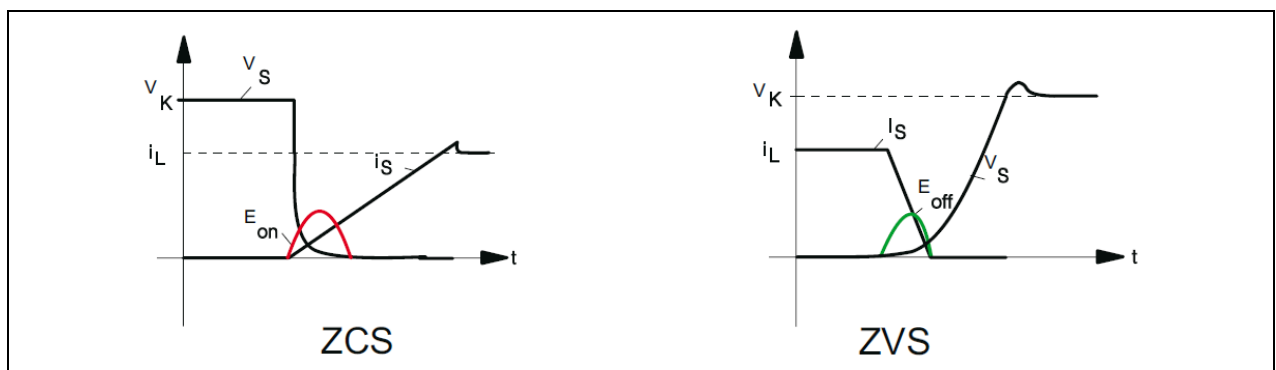


Abb. 23: Strom- und Spannungsverläufe eines weich einschaltenden Schalters (links) und eines weich ausschaltenden Schalters (rechts) [21, p. 4]

Um einen Schalter „weich“ und somit verlustarm einzuschalten, muss an ihm ein möglichst steiler Abfall hin zur Durchlassspannung erreicht werden. Dadurch wird die Zeit, in der Schaltverluste anfallen, verkürzt und somit auch die Gesamtschaltverluste. Ein weicher Schaltvorgang kann mithilfe einer in Reihe zum Schalter geschalteten Induktivität erreicht werden. Der Stromanstieg während des Schaltvorganges wird dann durch die Einschaltcharakteristik von Schalter und Kommutierungs-Induktivität bestimmt und die Spannung teilt sich zwischen Schalter und Induktivität auf. Durch Umstellen der Formel (5) nach $u(t)$ wird ersichtlich, dass je höher die Kommutierungs-Induktivität gewählt wird, desto höher fällt die an ihr anliegende Spannung während des Schaltvorganges aus. Dementsprechend fällt, wie gewünscht, die Schalterspannung nach Abb. 23 (links) sehr schnell auf die Durchlassspannung ab, wodurch nur

geringe dynamische Verluste im Schalter auftreten. Ein solches „weiches“ Einschalten wird auch als Zero-Current-Switching (ZCS) bezeichnet [21, p. 3].

Umgekehrt kann durch eine parallel am Schalter anliegende Kapazität ein „weicher“ Zero-Voltage-Switching (ZVS) Ausschaltvorgang erreicht werden. Sobald der Stromfluss im Schalter abfällt, kommutiert er in die parallele Kommutierungs-Kapazität. Die Höhe der Kapazität C bestimmt dabei zusammen mit dem Stromanstieg der Formel (6), nach i_c umgestellt, den Spannungsanstieg über der Kapazität. Da die beiden Bauteile parallel liegen bestimmt die Kapazität den Spannungsanstieg des Schalters. Wird die Kapazität groß gewählt, steigt die Spannung am Schalter entsprechend schnell an und es fallen nur geringe dynamische Verluste für den Ausschaltvorgang an. Der Verlauf von Spannung in Strom während des „weichen“ Ausschaltvorgangs ist in Abb. 23 (rechts) dargestellt. [21, p. 4]

Sind in einer elektrischen Schaltung mehrere Schalterelemente vorhanden, können bestimmte Schalter dieser Schaltung durch eine intelligente Ansteuerung ebenfalls gezielt „weich“ bzw. spannungslos ein- oder stromlos ausgeschaltet werden. Werden beispielsweise in Reihe liegende Schalter von der Last aus zur Quelle hin nacheinander eingeschaltet, kommt es erst nach dem Einschalten des letzten Schalters zum Stromfluss im Stromkreis, da der Stromkreis erst nach dem Einschalten des letzten in der Reihe liegenden Schalters geschlossen wird. Somit fallen lediglich an diesem letzten Schalter dieser Schaltreihenfolge hohe Schaltverluste an. Dagegen wurden die vorher eingeschalteten Schalter stromlos eingeschaltet. Zum Zeitpunkt des einsetzenden Stromflusses ist die Schalterspannung dieser „zuvor“ eingeschalteten Schalter bereits auf die Durchlassspannung abgefallen. Somit fallen an diesen Schaltern keine dynamischen Schaltverluste an. Anders als beim „weichen“ Schalten nach Abb. 23 wird die Gesamtverlustleistung für den Schaltvorgang nicht reduziert. Die entstehende Schaltverlustleistung wird lediglich verlagert.

Dennoch wird diese Methode zur gezielten Verlagerung der Schaltverluste bei den verschiedenen in Kapitel 3 beschriebenen Modulationsstrategien für die Ansteuerung der sechs Leistungshalbleiter in der ANPC-Topologie genutzt. Um beispielsweise nach Abb. 18 den Zustand P einzuschalten, müssen die Schalter T1 und T2 eingeschaltet werden. Indem der Schalter T2 vor den Schalter T1 eingeschaltet wird, können die Schaltverluste beispielsweise gezielt auf den weniger belasteten Schalter T1 verlagert werden.

Ein weiteres Beispiel ist der Schaltzustand O_1^+ nach Abb. 18. Für diesen Schaltzustand müssen die Schalter T2 und T5 eingeschaltet werden. Wird hier der Schalter T2 vor T5 eingeschaltet, liegt am Schalter T5 vor dem Schaltvorgang an beiden Schalterklemmen die Mittelpunktspannung an. Somit kann der Schalter T5 anschließend spannungslos eingeschaltet werden.

Weitere Anwendungsbeispiele sowie deren Vor- und Nachteile werden im Kapitel 3 vorgestellt.

2.8 Grund und Auswirkung der Implementierung von Verzögerungszeiten bei der Wechselrichteransteuerung

In den Kapiteln 2.3 bis 2.5 wurde bereits ausführlich beschrieben, dass das Grundprinzip eines Wechselrichters darin besteht, eine konstante Eingangsspannung durch die intelligente Ansteuerung von Leistungsschaltern in eine bi- oder unipolare periodischen pulsbreitenmodellerte Rechteckspannung zu zerlegen. Hierfür wird mit einer vorgegebenen Frequenz f_s zwischen Aktiv- und Freilaufphasen hin und her geschaltet. Dabei dürfen diese beiden Zustände niemals gleichzeitig eingeschaltet sein, da die Schaltung in diesem Fall kurzgeschlossen wird.

In Abschnitt 2.7 wurde bereits darauf hingewiesen, dass reale Schalter nicht unendlich schnell schalten und es zwischen den Schaltzuständen zu Kommutierungsvorgängen kommt. Aus diesem Grund muss bei der Ansteuerung sichergestellt werden, dass diese Kommutierungsvorgänge der Schalter abgeschlossen sind, bevor ein neuer Schaltzustand eingeschaltet wird. Um dies sicherzustellen, muss nach Abb. 24 in der Ansteuerungsstrategie eine Einschalt-Verzögerungszeit t_{delay} implementiert werden. Die Darstellung zeigt, dass in diesem Beispiel das Ansteuerungssignal für den Schalter T1 erst $5\mu\text{s}$ nach dem Ausschaltimpuls für den Schalter T5 ausgeschaltet wird. Bei der Bestimmung der zu implementierenden Verzögerungszeit müssen die von den Herstellern der Leistungshalbleiter angegebenen Dateien für die Werte der Ausschaltverzögerung $t_{\text{d(on)}}$, der Anstiegszeit t_r , der

Ausschaltverzögerung $t_{d(off)}$ und der Abfallzeit t_f herangezogen werden. Dazu kommt eine Sicherheitsreserve, um die bei der Bauteilherstellung entstehenden Toleranzen abzudecken.

Für die zu untersuchende ANPC Topologie wurden anhand dieser Daten eine Verzögerungszeit von 500 ns festgelegt.

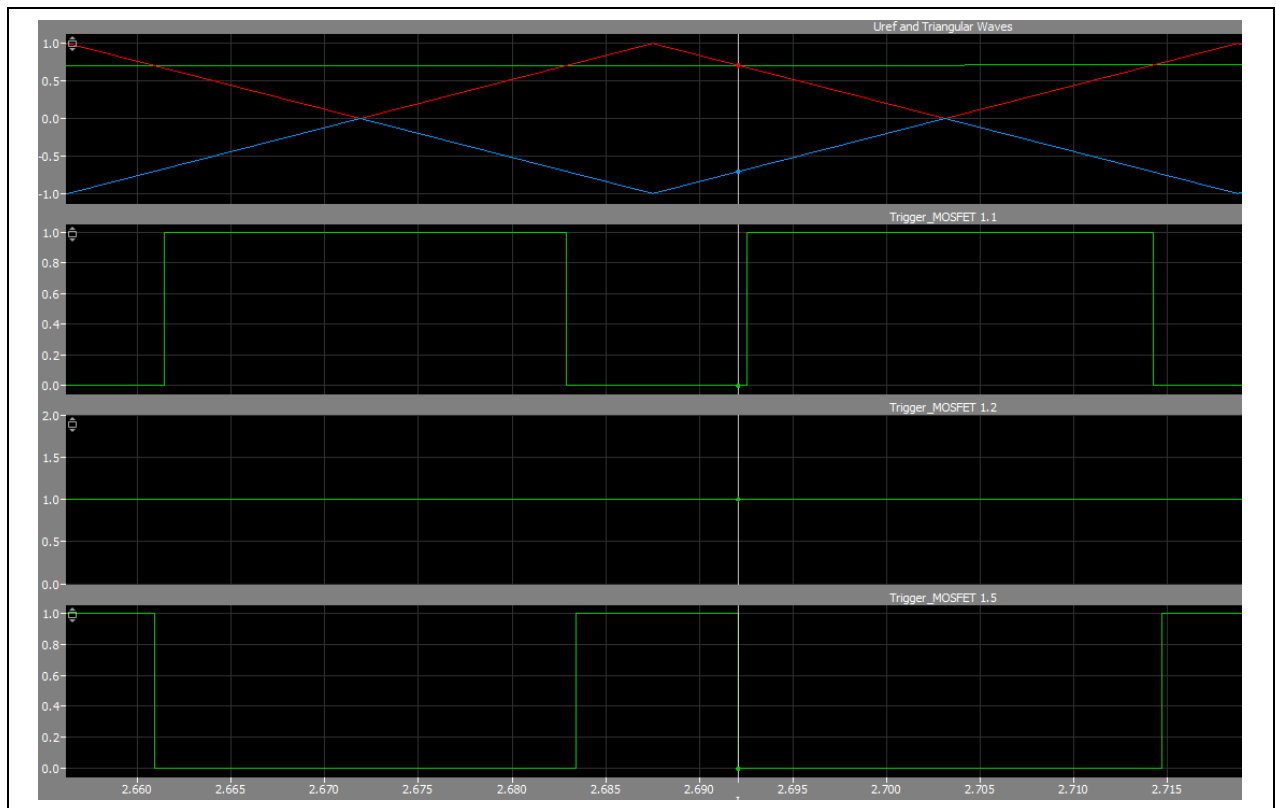


Abb. 24: Darstellung einer Verzögerungszeit von 5 μ s zwischen dem Ausschaltzeitpunkt von T5 und dem Einschaltzeitpunkt von T1 (X-Achsenkala 1e-2)

Durch die Implementierung einer Verzögerungszeit in der Ansteuerungsstrategie kommt es jedoch auch zu negativen Effekten. Wie in Abschnitt 2.3 bereits beschrieben, muss am Ausgang der Wechselrichterschaltung ein Spannungspulsmuster erzeugt werden, welches die gleiche Spannungszeitfläche der Ziel-Ausgangssinusschwingung beinhaltet [11, p. 642]. In der Abb. 7 des Abschnittes 2.3 ist zu erkennen, dass die Pulsbreite bzw. Pulsdauer dieses Pulsmusters im Bereich des Nulldurchgangs immer kürzer wird. Wird die Pulsdauer kleiner als die implementierte Verzögerungszeit, werden die Ausschaltimpulse der Schalter weiterhin planmäßig ausgeführt. Aufgrund der Einschaltverzögerungszeit kommt es jedoch dazu, dass das Einschalten von Schaltern übersprungen wird, was wiederum zum Verlust von Pulsen in diesem Zeitbereich führt. Durch den Verlust dieser Schaltpulse wird die Spannungszeitfläche des Pulsmusters reduziert. Dies führt wiederum dazu, dass der im Pulsmuster enthaltene Sinus verzerrt wird und sich sein Formfaktor ändert. Der von Ausgangsfilter aus dem Spannungspulsmuster wieder herausgefilterter Sinusspannungsverlauf weist dann entsprechend im Bereich des Nulldurchgangs einen sogenannten „Flat“ auf. Zur Veranschaulichung dieses Effektes ist in Abb. 25 der Ausgangssinus eines ANPC-Wechselrichters mit einer übertriebenen Verzögerungszeit von 2000 ns abgebildet.

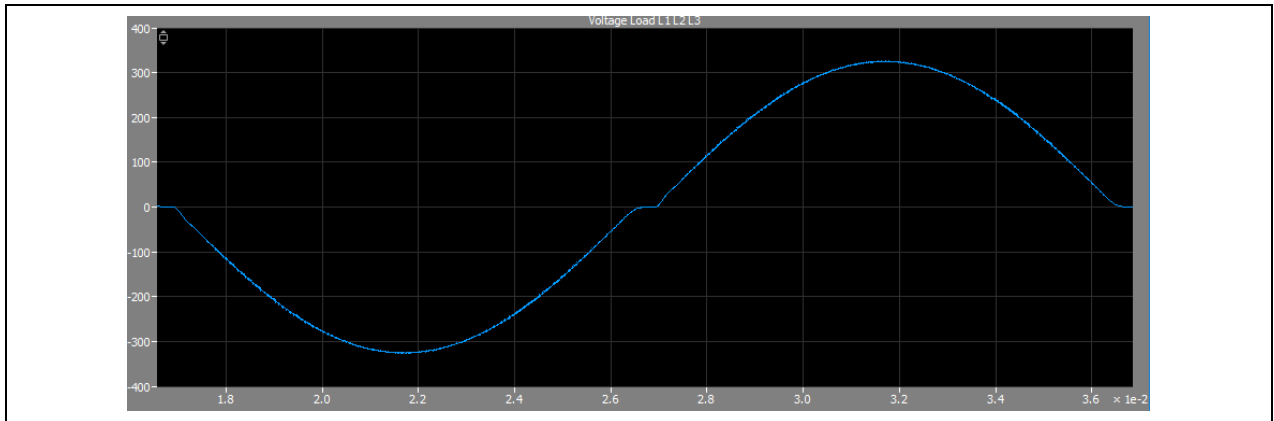


Abb. 25: Übertriebene Darstellung der Formfaktorveränderung eines Sinusverlaufes für eine implementierte Verzögerungszeit von 2000ns

Zusätzlich dazu werden durch die Einführung der Verzögerungszeit alle Pulse verkürzt. Durch die daraus resultierende Reduzierung der Gesamtspannungszeitfläche verringert sich die Amplitude der Ausgangssinusspannung. Um diesen Effekt zu kompensieren, muss der Modulationsgrad nach Formel (13) um den Kompensationsfaktor d_{komp} aus Formel (12) erhöht werden.

$$d_{komp} = t_{delay} * f_{s,out} \quad (12)$$

$$M = \frac{\widehat{U_{AC}}}{\frac{U_{zwwk}}{2}} + d_{komp} \quad (13)$$

Mithilfe des Kompensierungsfaktors d_{komp} wird die Amplitude der Ausgangssinusspannung unabhängig von Frequenz und Verzögerungszeit auf den gewünschten Ausgangsspannungswert eingestellt. Der Einsatz der Formel setzt jedoch voraus, dass eine Modulationsreserve in der Größenordnung des Kompensationsfaktors vorhanden ist.

2.9 Überspannungen an Leistungshalbleitern durch parasitäre Kapazitäten

Anders als im statischen Zustand wird das dynamische Schaltverhalten von Leistungs-MOSFETs, abgesehen von den ohmschen Bestandteilen, auch durch strukturbedingte interne parasitäre Kapazitäten bestimmt [21, p. 61. ff.]. Im Ersatzschaltbild eines realen MOSFETs werden diese, als parasitäre- oder Streukapazitäten benannten Elemente, als ideale spannungsabhängige Kapazitäten zwischen Gate und Source C_{GS} , Gate und Drain C_{GD} sowie Drain und Source C_{DS} nachgebildet.

In der eingesetzten ANPC-Topologie kann die Umladung der auf den C_{DS} Kapazitäten gespeicherten Ladungsträger, je nach eingesetzter Modulationsstrategie, bei bestimmten Schaltzustandsübergängen zu unerwünschten Überspannungen an den Halbleiterelementen führen. Wie es in der ANPC-Topologie zu solchen unerwünschten Überspannungen kommen kann, wird im Folgenden beispielhaft an dem Schaltzustandsübergang von Freilaufzustand O_2^+ auf den Aktivzustand N, unter Anwendung der ANPC-DF-Strategie, einer ohmsch-induktiven Last, pos. Stromfluss und einer Verzögerungszeit von $t_{delay} = 500$ ns beschrieben.

Im Ausgangszustand O_2^+ nach Abb. 26 (a) sind zunächst die Schalter T1, T3 und T6 geschlossen. Daraufhin stellt sich bei pos. Stromrichtung ein Stromfluss über T6, T3 und D3 ein. Um von dem Zustand O_2^+ in den Zustand N zu wechseln, werden zunächst die Schalter T1 und T6 ausgeschaltet. Hierdurch gelangt die Schaltung aufgrund der Einschaltverzögerung von Schalter T4 und T5 in einen Zwischenzustand nach Abb. 26 (b), in dem lediglich der Schalter

T3 eingeschaltet ist. Da der Strom durch die induktive Last in diesem Zustand weiter in pos. Richtung getrieben wird, kommt es zu einer Entladung der im Zustand O_2^+ aufgeladenen parasitären Kapazität C4, wodurch die Spannung am Halbleiter T4 sinkt. Aufgrund des Maschensatzes wird zeitgleich die parasitäre Kapazität C6 aufgeladen, wodurch die Spannung an Halbleiter T6 in gleichen Maß ansteigt, so wie die Spannung an Halbleiter T4 absinkt. Durch die Umladungsvorgänge der energiespeichernden Elemente C4 und C6 bleibt der Stromfluss trotz der ausgeschalteten Schalter T4 und T6 im unteren Brückenweig erhalten. Gleichzeitig wird im oberen Brückenweig nach Abb. 27 (c) die geladene parasitäre Kapazität C5 entladen und die Kapazität C1 geladen. Somit stellt sich auch im oberen Brückenweig ein Stromfluss ein, welcher ebenfalls den Umrichter-Ausgangsstrom weiter in pos. Richtung antreibt.

Da sowohl der Schalter T2 sowie die Diode D2 weiterhin geöffnet bzw. gesperrt sind, kann der durch die Umladungsvorgänge von C1 und C5 entstehende pos. Ladungsträgerstrom nicht abfließen und wird auf den Kondensator C2 verschoben. Hier entsteht nun aufgrund der Überladung von C2, entsprechend des Maschensatzes, eine Überspannung an der Drain-Source-Strecke von Halbleiter 2. Diese Überspannung steigt nach Abb. 27 (d) bis auf einen Maximalwert an, bevor durch das verzögerte Einschalten der Schalter T4 und T5 ein Ausgleichsprozess stattfindet und die Ladungsträger über T2 abfließen können. Nach dem Ausgleichsvorgang stellt sich dann wieder der symmetrische Aktivzustand N nach Abb. 28 (e) ein.

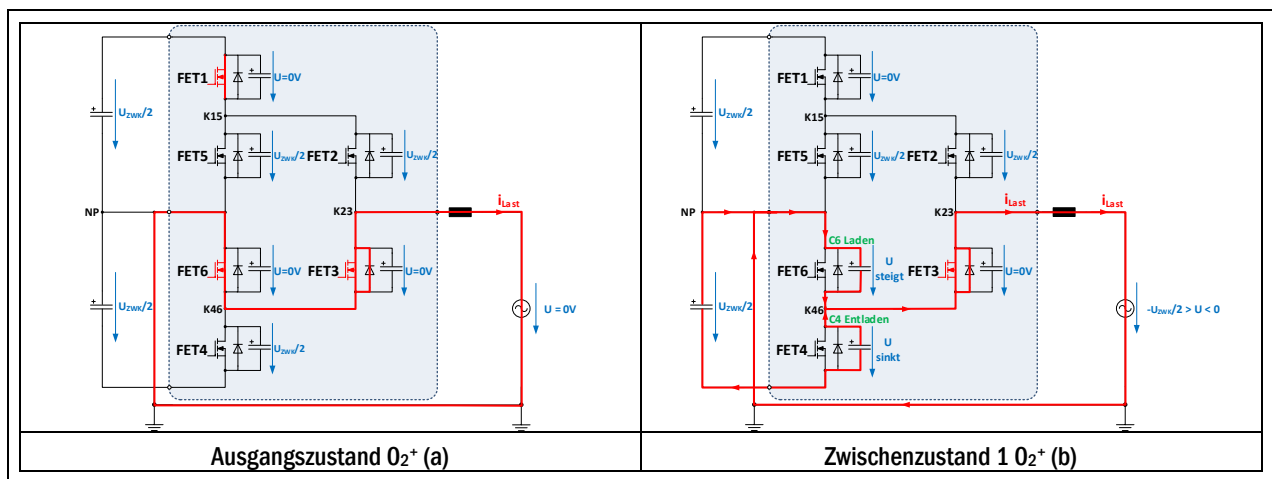


Abb. 26: Entstehung von parasitären Drain-Source Überspannungen bei der ANPC-DF-Strategie, Ausgangszustand O_2^+ und Zwischenzustand 1 O_2^+

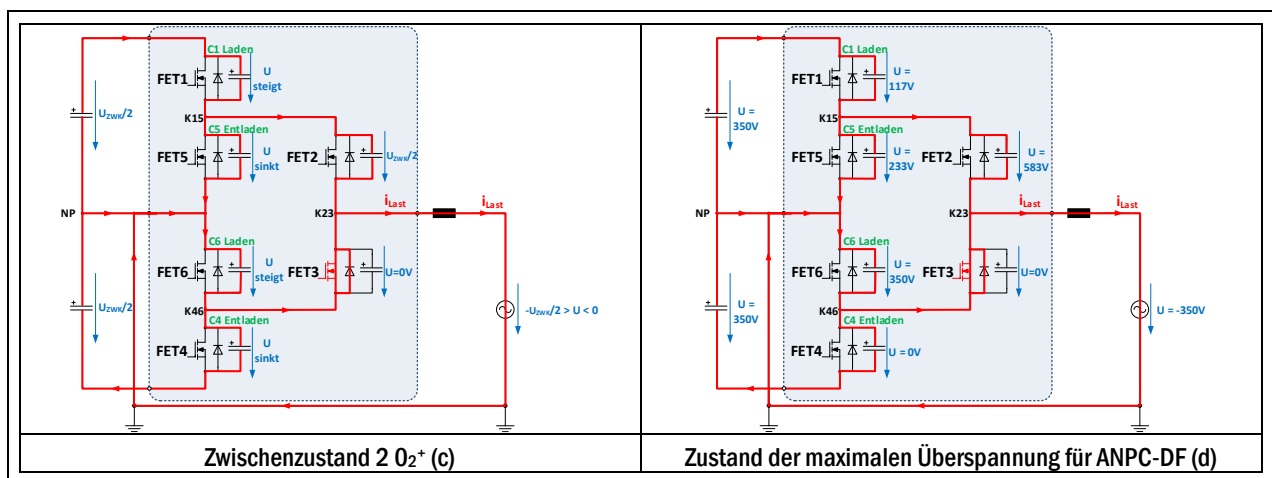


Abb. 27: Entstehung von parasitären Drain-Source Überspannungen bei der ANPC-DF-Strategie, Zwischenzustand 2 O_2^+ und Zustand der maximalen Überspannung für ANPC-DF

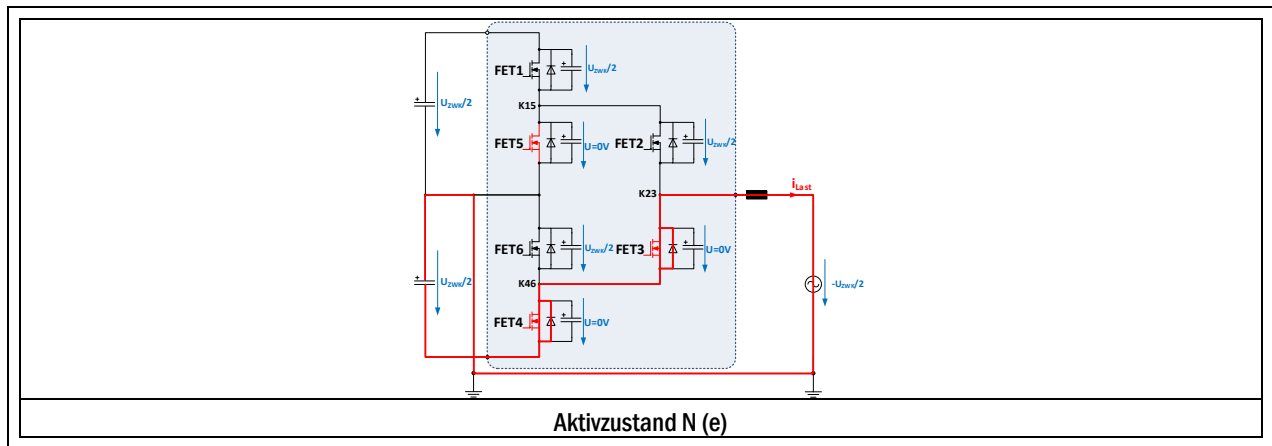


Abb. 28: Entstehung von parasitären Drain-Source Überspannungen bei der ANPC-DF-Strategie, abschließender Aktivzustand N

2.10 Aufbau und Funktion eines FPGA-Boards

Um die Ansteuerung der Leistungshalbleiter in einer Umrichter-Schaltung zu realisieren, wird der hierfür erforderliche Ansteuerungscontroller als digitale Schaltung in einem IC-Baustein realisiert. In einem solchen IC-Baustein können Logikgatter und Flip-Flop-Bausteine nach einem vorgegebenen Schaltplan miteinander verschaltet werden. Bei einem ASIC (Application Specific Integrated Circuit) werden die für eine spezifische Anwendung benötigten digitalen Bausteine in einem IC aufgebaut und deren Verbindungen fest miteinander verbunden. Die Funktion eines ASIC ist somit fest vorgegeben und im Nachhinein nicht mehr veränderbar. Durch die speziell auf eine Anwendung angepasste Hardwarearchitektur wird eine bestmögliche Effizienz der digitalen Schaltung erreicht. Die Entwicklung eines solchen ASIC's verursacht jedoch auch hohe Entwicklungskosten und wird je nach Komplexität der Schaltung erst ab einer Stückzahl von mehreren 10.000 IC's wirtschaftlich sinnvoll. [22, p. 8 f.]

Genau wie die ASIC's beinhalten FPGA- (Field Programmable Gate Array) Boards ebenfalls verschiedene digitale Logikgatter und Flip-Flop-Bausteine. Im Gegensatz zum ASIC's sind diese Bausteine jedoch auf einem FPGA in regelmäßigen Strukturen nach Abb. 29 angeordnet und nicht fest miteinander verbunden. Die Verbindung dieser einzelnen Logikblöcke können hier nach Belieben miteinander sowie mit den Ein- und Ausgängen des FPGA-Boards konfiguriert werden. Die Konfiguration dieser Verbindungen kann nach Belieben durch eine Programmierung des Bausteins vorgegeben und verändert werden. [23, p. 67 f.]

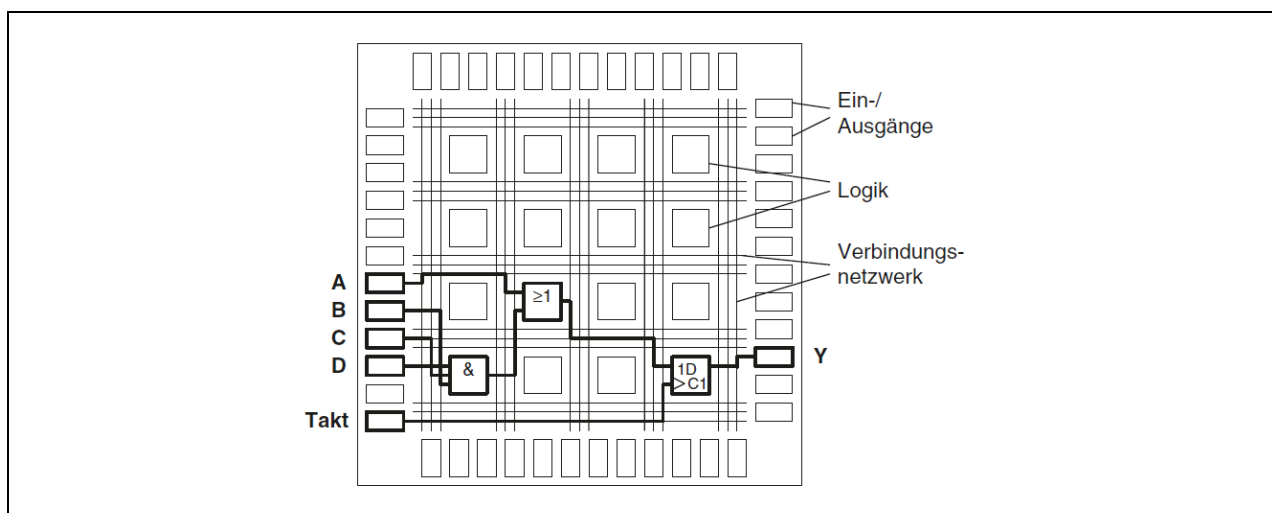


Abb. 29: Aufbau eines FPGA-Boards mit frei konfigurierbaren Logik- und Flip-Flop-Gattern sowie Ein- und Ausgängen [22, p. 10]

Gegenüber einem ASIC bietet die Nutzung eines FPGA-Boards die Vorteile [23, p. 76]:

- Freie und einfache Konfigurierbarkeit
- Die Funktion des digitalen Bausteins kann beliebig verändert oder erweitert werden.
- Kurze Implementierungszeit
- Kostengünstige Realisierung für kleine Stückzahlen

Um die Möglichkeiten der Konfigurierbarkeit eines FPGA-Boards vielfältig zu halten, müssen auf einem FPGA-Board jedoch deutlich mehr Logikgatter zur Verfügung gestellt werden als auf einem ASIC. Hierdurch steigt entsprechend die Chipgröße und aufgrund der größeren Anzahl an Logikbausteinen auch der Gesamtleistungsbedarf an [23, p. 76].

- FPGA besitzt geringere Taktrate als ASIC's
- Geringere Logikdichte → ca. 5-facher Flächenbedarf
- Höherer Leistungsbedarf für gleiche Logik

Um die in dieser Abschlussarbeit untersuchten Ansteuerungsstrategien im weiteren Verlauf des Projektes auf der vorliegenden Niederspannungshardwaretestplattform in Betrieb zu nehmen und zu vermessen, wird aufgrund des großen Vorteils der Rekonfigurierbarkeit ein Intel FPGA-Board von Typ Cyclone V SoC eingesetzt und dieses mithilfe der Hardwarebeschreibungssprache VHDL beschrieben.

3. Modulationsstrategien zur Ansteuerung von ANPC-Wechselrichtern

Wie bereits in Abschnitt 2.5.2 beschrieben können zur Erzeugung der Ansteuerungssignale für die Leistungshalbleiter der ANPC-Topologie verschiedene Ansteuerungsverfahren eingesetzt werden. Je nach Anwendungsfall können durch eine geschickte Ansteuerung der Halbleiterschalter verschiedene Ziele verfolgt werden [24, p. 77 f.].

- Verringerung des Oberschwingungsgehalts (Total Harmonic Distortion, THD) im Ausgangssignal
- Verringerung oder Umverteilung von Durchlass- und Schaltverlusten der Leistungshalbleiter
- Erhöhung des Modulationsgrads bzw. Vergrößerung des Bereichs, in dem eine lineare Modulation möglich ist.
- Verbesserung der EMV
- Erhöhung der Ausgangsschaltfrequenz

Generell können die dafür eingesetzten Modulationsstrategien in träger- und raumzeigerbasierte Verfahren unterschieden werden [14, p. 108 ff.]. Darüber hinaus existieren noch die Sigma-Delta-Modulation sowie vorausberechnende Modulationsalgorithmen [24, p. 78]. Die Umsetzung dieser Modulationsstrategien kann dabei entweder passiv oder aktiv erfolgen. Bei einer passiven Modulationsstrategie erfolgt eine einmalige Festlegung für die Schaltsignalerzeugung. Im laufenden Betrieb werden dann keine Änderungen mehr vorgenommen. Dagegen werden bei den aktiven Ansätzen arbeitspunktabhängige Verschiebungen berücksichtigt und in die Erzeugung der Schaltsignale miteinbezogen [18, p. 33].

Die vorliegende Arbeit beschränkt sich dabei auf die Untersuchung von den in Abschnitt 2.3 beschriebenen S-PWM-Verfahren mit fest vorgegebenen Schaltfrequenzen, wobei diese Schaltfrequenzen um mehrere Zehnerpotenzen höher ausfallen als die Frequenz der vom Wechselrichter zu erzeugenden AC-Ausgangsspannung. Dafür werden im folgenden Abschnitt insgesamt sieben verschiedene trägerbasierte Sinus-Pulsweitenmodulationsverfahren (S-PWM) aus den aktuellen Veröffentlichungen und Dissertationen [18, 25–31] zusammengetragen, vorgestellt und analysiert. Dafür wird zunächst das grundlegende Funktionsprinzip jeder dieser Ansteuerungsstrategien beschrieben. Ergänzend dazu wird zu jeder dieser Modulationsstrategien in einer einheitlichen Darstellung die dazugehörige Wahrheitstabelle und eine Übersicht des vollständigen Schaltmusters angefertigt. Abschließend werden die Vor- und Nachteile jeder Ansteuerungsstrategie herausgearbeitet und dokumentiert.

Nach der ausführlichen Vorstellung verschiedener S-PWM-Verfahren wird in einem weiteren Abschnitt ein Ausblick darauf gegeben, wie diese S-PWM-Strategien durch die Modifikationen des Referenzsignals zukünftig für den Betrieb in Mittelspannungsumrichtern optimiert werden können. Abschließend wird die Grundfunktionsweise der Raumzeigermodulation als alternatives Modulationsverfahren zur S-PWM vorgestellt.

3.1 Modulationsstrategie ANPC-11-Sync

In Abschnitt 2.5.2 wurde bereits beschrieben, dass bei der ANPC-Schaltung im Vergleich zur NPC-Schaltung die Clamping-Dioden durch steuerbare rückwärtsleitfähige Leistungsschalter ersetzt werden. Hierdurch kann in Abhängigkeit der Schalt- und Durchlassverlusteigenschaften der eingesetzten Leistungshalbleiter mit einer auf die Schalter abgestimmten Schaltfrequenz eine Optimierung der Gesamtverluste der leistungselektronischen Umrichter-Schaltung erreicht werden. Zusätzlich dazu ergibt sich durch die zusätzlichen Leistungsschalter T5 und T6 in Kombination mit den inneren Schalter T2 und T3 nach Abb. 18 bis Abb. 21 eine erhöhte Anzahl an Schaltzuständen zur Erzeugung des Freilaufs. Genau dieser zusätzliche Freiheitsgrad wird von den folgenden in Abschnitten 3.1 und 3.2 vorgestellten sogenannten konventionellen Modulationsstrategien ANPC-11-Sync und -12 genutzt, um die zwischen

den Schaltzuständen anfallenden Schaltverluste gezielt zwischen den inneren und den äußeren Halbleitern des Umrichters zu verschieben.

Grundlegendes Funktionsprinzip:

Bei der Modulationsstrategie ANPC-11-Sync, nach [18] und [25], wird während des Freilaufs jeweils der Brückenweig genutzt, in welchem die vorangegangene Aktivphase stattgefunden hat. Genutzt werden dafür die Schaltzustände P, N, O_1^+ und O_1^- aus Tab. 7. Während des Freilaufzustands O_1^+ werden dementsprechend die inneren und Mittelpunktschalter des oberen Brückenzeigs und während des Freilaufs O_1^- die des unteren Brückenzeigs eingeschaltet. Somit ergibt sich bei dieser Modulationsstrategie während der pos. Halbwelle ein stetiger Wechsel zwischen den Schaltzuständen P und O_1^+ sowie während der neg. Halbwelle der Wechsel zwischen N und O_1^- .

Der Schaltmusterdarstellung nach Abb. 30 ist zu entnehmen, dass bei der ANPC-11-Sync-Strategie der innere Schalter T2 während der pos. Halbwelle und der innere Schalter und T3 während der neg. Halbwelle dauerhaft eingeschaltet ist. Diese beiden Schalter taktet somit nur mit Netzfrequenz f_{Netz} . Dadurch fallen an ihnen zwar Durchlassverluste, jedoch allgemein nur sehr geringe Schaltverluste an. Im Falle von $\cos(\varphi) = 1$ entstehen an diesen Schaltern somit keine Schaltverluste, da sie lediglich während des Nulldurchgangs des Referenzsignals schalten.

Für den Wechsel von Zustand O_1^+ zur Aktivphase P muss zunächst der Mittelpunktschalter T5 ausgeschaltet werden. Dies erfolgt verlustarm, da der Stromfluss zum Schaltzeitpunkt von T5 bereits abgeklungen ist. Mit einer Verzögerungszeit t_{delay} wird dann der Schalter T1 eingeschaltet. Da der Schalter T2 in diesem Zustand bereits eingeschaltet ist, wird der Schalter T1 hart eingeschaltet. An ihm fallen somit die gesamten Schaltverluste dieses Schaltvorganges an, während die Durchlassverluste des Aktivzustands an T1 und T2 anfallen. Um in diesem Schaltzustand die synchrone Aufteilung der Spannung $U_{\text{Zwk}/2}$ zwischen den Schaltern T3 & T4 des unteren Brückenzeigs sicherzustellen, wird zusätzlich zu T1 und T2 der Mittelpunktschalter T6 eingeschaltet. Für den Arbeitspunkt $\cos(\varphi) = 1$ erfolgt dieser Schaltvorgang ebenfalls verlustlos, da in diesem Arbeitspunkt kein Stromfluss im unteren Brückenweig eintritt.

Um von der Aktivphase P zurück zu O_1^+ zu wechseln, wird T1 hart ausgeschaltet. Erneut fallen an ihm hohe Schaltverluste an. Da der innere Schalter T2 weiterhin eingeschaltet bleibt, fallen an ihm keine Schaltverluste an. Parallel zu T1 wird auch der Synchronisationsschalter T6 verlustlos ausgeschaltet, da für den Arbeitspunkt $\cos(\varphi) = 1$ weiterhin kein Stromfluss über den unteren Brückenweig eintritt. Nach der Verzögerungszeit t_{delay} wird dann der Mittelpunktschalter T5 wieder eingeschaltet. Da T2 zu diesem Zeitpunkt bereits eingeschaltet ist, liegt zum Zeitpunkt des Einschaltvorgangs an beiden Schalterenden von T5 das identische Spannungspotential an. In diesem Fall liegt somit an T5 an beiden Schalterenden das Nullpotential an. T5 kann somit verlustlos eingeschaltet werden. Entsprechend erfolgt die Ansteuerung der Schalter T3, T4, T5 und T6 für die Erzeugung der Schaltzustände N und O_1^- während der neg. Halbwelle.

Bei der Ansteuerungsstrategie ANPC-11-Sync werden die Schalter T2, T3, T5 und T6 im Falle von $\cos(\varphi) = 1$ ausschließlich weich geschaltet. Dies führt dazu, dass die Schaltverluste bei dieser Modulationsstrategie vollständig auf die äußeren Halbleiter verlagert werden. Hierdurch werden die durch die Durchlassverluste am stärksten belasteten inneren Schalter entlastet.

Zur Erzeugung der Steuersignale werden bei der ANPC-11-Sync Modulation zwei periodische dreieckförmige um die Y-Achse gespiegelten Trägersignale $U_{\Delta 1}$ und $U_{\Delta 2}$ mit der Schaltfrequenz f_s und einer Amplitude von 1 bzw. -1 mit einem Sinus-Referenzsignal der Frequenz f_{Netz} und Amplitude M verglichen. Während der pos. Halbwelle wird $U_{\Delta 1}$ und während der neg. Halbwelle wird $U_{\Delta 2}$ mit dem Referenzsignal verglichen. Über Vergleichsoperatoren und Logikschaltungen wird dann das erforderliche Schaltmuster nach Abb. 30 erzeugt.

Durch die ANPC-11-Sync Modulation wird am Ausgang der Umrichter-Schaltung ein zur NPC-Topologie identisches unipolares periodisches Rechtecksignal erzeugt.

Wahrheitstabelle:

In dieser und allen weiteren Logiktabellen und Schaltmustern der vorliegenden Ausarbeitung wird exemplarisch das Logikmuster für die Ansteuerung der Brückenschaltung der Phase L1 dargestellt. Zur Erzeugung der Phasen L2 und L3 in den beiden weiteren Brückenschaltungen werden die identische Logik und Schaltmuster zur Ansteuerung der Halbleiter verwendet. Die Ansteuerung der Halbleiter findet hier jedoch um 120° bzw. 240° versetzt statt.

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{ZWK}}/2$	P	1	0	1	0	1	0
0	0_1^+	0	1	1	0	0	0
0	0_1^-	0	0	0	1	1	0
$-U_{\text{ZWK}}/2$	N	0	1	0	1	0	1

Tab. 7: Logiktablette der konventionellen Modulationsstrategie ANPC-11-Sync

Schaltmusterübersicht:

In der folgenden Darstellung ist das Schaltmuster der ANPC-11-Sync Strategie für eine vollständige Periode des Referenzsignals dargestellt.

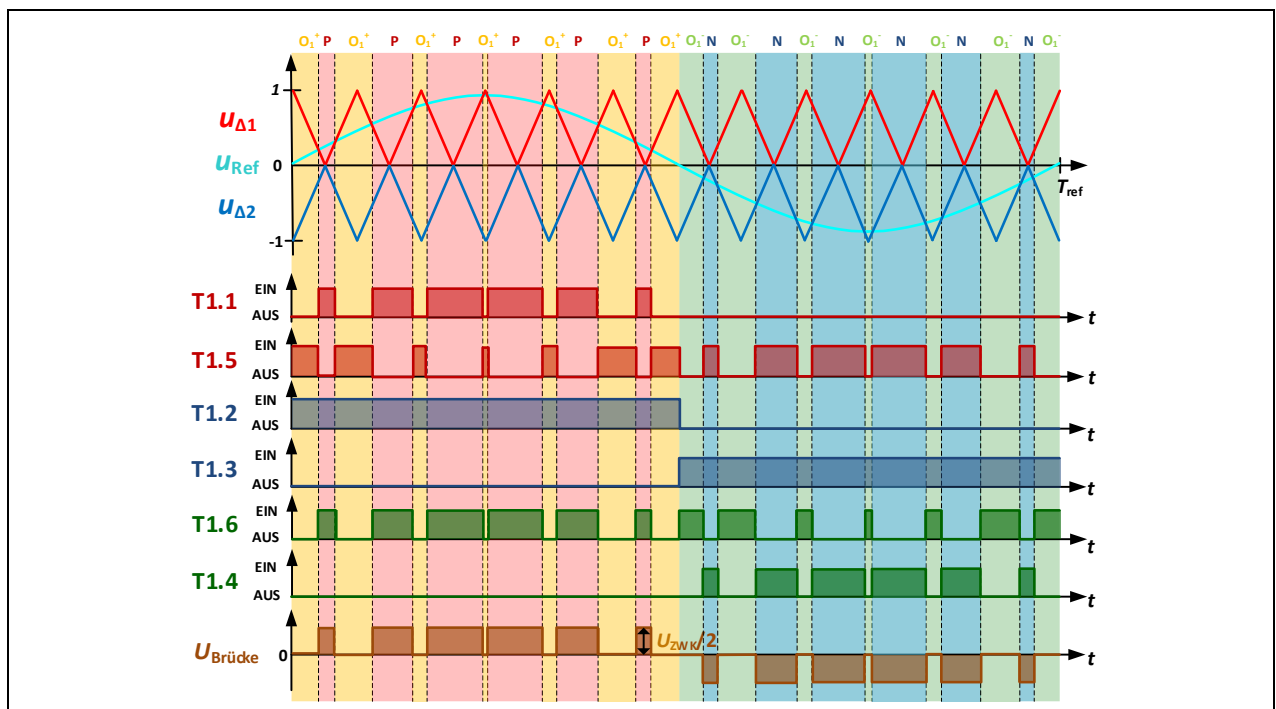


Abb. 30: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die konventionelle Modulationsstrategie ANPC-11-Sync

In der obersten Zeile der Abb. 30 sind das Referenzsignal und die Träger-signale dargestellt. Da die Träger-signale von einem realen im Kilohertz-Bereich taktenden Umrichter während einer Periode des Referenzsignals nicht mehr erkennbar wären, werden für die folgenden Darstellungen der Schaltmuster die Träger-signale mit einer deutlich niedrigeren Taktfrequenz dargestellt. In den Zeilen darunter ist zu erkennen, wie anhand des Vergleichs zwischen Träger- und Referenzsignal die Halbleiterschalter nach dem in der zugehörigen Logiktablette Tab. 7 beschriebenen

Muster angesteuert werden. In der Realität muss nach Abschnitt 2.8 aufgrund der Kommutierungsvorgänge, die beim Schalten von realen Schaltern entstehen, noch eine Verzögerungszeit zwischen den Schaltvorgängen eingefügt werden. Damit die Darstellung übersichtlich bleibt, wird an dieser Stelle und auch in den folgenden Schaltmusterdarstellungen darauf verzichtet. In der letzten Zeile wird abschließend das sich anhand der Schalterstellung einstellende unipolare Brückenausgangssignal der ANPC-11-Sync-Strategie dargestellt.

Vorteile:

Die Modulationsstrategie ANPC-11 lässt sich sehr ähnlich wie die Ansteuerung der NPC-Schaltung umsetzen. Mit ausschließlich zwei Träger-, einem Referenzsignal und wenigen logischen Operatoren hält sich der Implementierungsaufwand in Grenzen. Hinzu kommt, dass keine Überspannungen aufgrund von parasitären Kapazitäten der Halbleiter, nach Abschnitt 2.9, entstehen. Die Messergebnisse dieser Überspannungsmessung werden in Abschnitt 4.4.4, Abb. 60 und Anhang 9.7, Tab. 19 dargestellt.

- Einfach zu realisierende Ansteuerung, Implementierungsaufwand gering
- Keine parasitären Überspannungen

Nachteile:

Durch die Verschiebung der gesamten Schaltverluste eines Brückenzeigs auf die äußeren Schalter T1 und T4 entsteht allgemein eine ungleichmäßige Verteilung der Gesamtverluste zwischen den Halbleitern. Allerdings kann sich dies im Falle von sehr geringen Schaltverlusten auch positiv auf die Gesamtverlustverteilung auswirken. (Siehe hierfür auch Abschnitt 4.4.3, Abb. 57). Anders als bei der Modulationsstrategien ANPC-DF aus 3.3, bei welcher sich f_s am Brückenausgang verdoppelt, bleibt die Frequenz des Brückenausgangs $f_{s,out}$ bei ANPC-11-Sync gleich der Schaltfrequenz f_s . Somit müssen die Schalter der ANPC-11-Sync im Vergleich zur ANPC-DF-Strategie doppelt so schnell angesteuert werden, um dieselbe Qualität hinsichtlich THD-Wert und Filterdimensionierung nach Formel (7) zu erreichen.

- Ungleichmäßige Verlustverteilung, Schaltverluste werden vollständig auf die äußeren Schalter verlagert.
- Doppelte Ansteuerungsfrequenz f_s wie bei ANPC-DF erforderlich, um THD-Qualität von ANPC-DF zu erreichen.

3.2 Modulationsstrategie ANPC-12

Grundlegendes Funktionsprinzip:

Bei der Modulationsstrategie ANPC-12, nach [18] und [25], wird während des Freilaufs jeweils der gegenüberliegende Brückenzeig genutzt, in welchem die vorangegangene Aktivphase stattgefunden hat. Genutzt werden dafür die Schaltzustände P, N, O_{2+} und O_{2-} aus Tab. 8. Während des Freilaufzustands O_{1+} werden dementsprechend die inneren und Mittelpunktschalter des unteren Brückenzeigs und während des Freilaufs O_{1-} die des oberen Brückenzeigs eingeschaltet. Somit ergibt sich bei dieser Modulationsstrategie während der pos. Halbwelle ein stetiger Wechsel zwischen den Schaltzuständen P und O_{2+} sowie während der neg. Halbwelle der Wechsel zwischen N und O_{2-} .

Der Schaltmusterdarstellung nach Abb. 31 ist zu entnehmen, dass bei der ANPC-12-Strategie während der pos. Halbwelle der äußere Schalter T1 sowie der Mittelpunktschalter T6 dauerhaft eingeschaltet sind. Entsprechend sind während der neg. Halbwelle die Schalter T4 & T5 dauerhaft eingeschaltet. Diese vier Schalter takten somit nur mit Netzfrequenz f_{Netz} . Dadurch fallen an ihnen Durchlassverluste, jedoch allgemein nur sehr geringe Schaltverluste an. Im Fall von $\cos(\varphi) = 1$ entstehen an diesen Schaltern somit keine Schaltverluste, da sie in diesem Fall lediglich während des Nulldurchgangs des Referenzsignals schalten.

Für den Wechsel von Zustand O_2^+ zur Aktivphase P muss zunächst der innere Schalter T3 ausgeschaltet werden. Dies erfolgt verlustarm, da der Stromfluss zum Schaltzeitpunkt von T3 bereits abgeklungen ist. Mit einer Verzögerungszeit t_{delay} wird dann der Schalter T2 eingeschaltet. Da der Schalter T1 während der pos. Halbwelle dauerhaft eingeschaltet ist, wird der Schalter T2 hart eingeschaltet. An ihm fallen somit die gesamten Schaltverluste dieses Schaltvorgangs an, wohingegen die Durchlassverluste während des Aktivzustands P sowohl an T1 als auch an T2 anfallen. Da der Schalter T6 bei dieser Modulationsstrategie während der pos. Halbwelle ebenfalls dauerhaft eingeschaltet ist, stellt er im P-Zustand die Spannungssynchronisation zwischen den Schaltern T3 & T4 sicher, ohne dass hierfür eine Schalthandlung erforderlich ist. Somit fallen während der gesamten Periode des Referenzsignals keine Schaltverluste an T6 an. Ebenso entstehen während des P-Zustands für den Arbeitspunkts $\cos(\varphi) = 1$ keine Durchlassverluste an T6. Für den Fall $\cos(\varphi) = 1$ kommt es somit am Schalter T6 lediglich während des O_2^+ Zustands zu Durchlassverlusten. Die Schaltverluste werden somit vollständig auf den inneren Schalter T2 verschoben.

Um von der Aktivphase P zurück zu O_2^+ zu wechseln, wird T2 hart ausgeschaltet. Erneut fallen an ihm hohe Schaltverluste an. Da der innere Schalter T1 weiterhin eingeschaltet bleibt und im Folgenden O_2^+ Zustand auch nicht stromführend ist, fallen an T1 in diesem Schaltzustandswechsel und im O_2^+ Zustand keine Schalt- und Durchlassverluste an. Nach der Verzögerungszeit t_{delay} wird dann der Mittelpunktschalter T3 des gegenüberliegenden Brückenzeigs eingeschaltet. Da bei dieser Modulationsstrategie T6 während der gesamten pos. Halbwelle eingeschaltet ist, liegt das Nullpotential in diesem Schaltzustand durch den geschlossenen Schalter T6 zwischen T3 und T4. Dadurch liegt zum Zeitpunkt des Einschaltens an beiden Schalterenden von T3 Nullpotential an. T3 kann somit verlustlos eingeschaltet werden, um den Zustandswechsel zu O_2^+ abzuschließen. Entsprechend erfolgt die Ansteuerung der Schalter T2, T3, T4 und T6 für die Erzeugung der Schaltzustände N und O_2^- während der neg. Halbwelle.

Bei der Ansteuerungsstrategie ANPC-12 werden die Schalter T1, T4, T5 und T6 im Falle von $\cos(\varphi) = 1$ ausschließlich weich geschaltet. Dies führt dazu, dass die Schaltverluste bei dieser Modulationsstrategie vollständig auf die inneren Halbleiter verlagert werden. Hierdurch werden die ohnehin schon am stärksten belasteten inneren Halbleiter T2 und T3 noch stärker belastet.

Zur Erzeugung der ANPC-12 Steuersignale werden identische Träger und Referenzsignale wie bei der ANPC-11-Sync Modulation verwendet. Durch eine Abänderung der logischen Vergleichsoperatoren lässt sich das Schaltmuster nach Abb. 31 erzeugen.

Durch die ANPC-12 Modulation wird am Ausgang der Schaltung das identische unipolare periodische Rechtecksignal wie bei der ANPC-11-Sync erzeugt.

Wahrheitstabelle:

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{ZWK}}/2$	P	1	0	1	0	1	0
0	O_2^+	1	0	0	1	1	0
0	O_2^-	0	1	1	0	0	1
$-U_{\text{ZWK}}/2$	N	0	1	0	1	0	1

Tab. 8: Logiktablelle der konventionellen Modulationsstrategie ANPC-12

Schaltmusterübersicht:

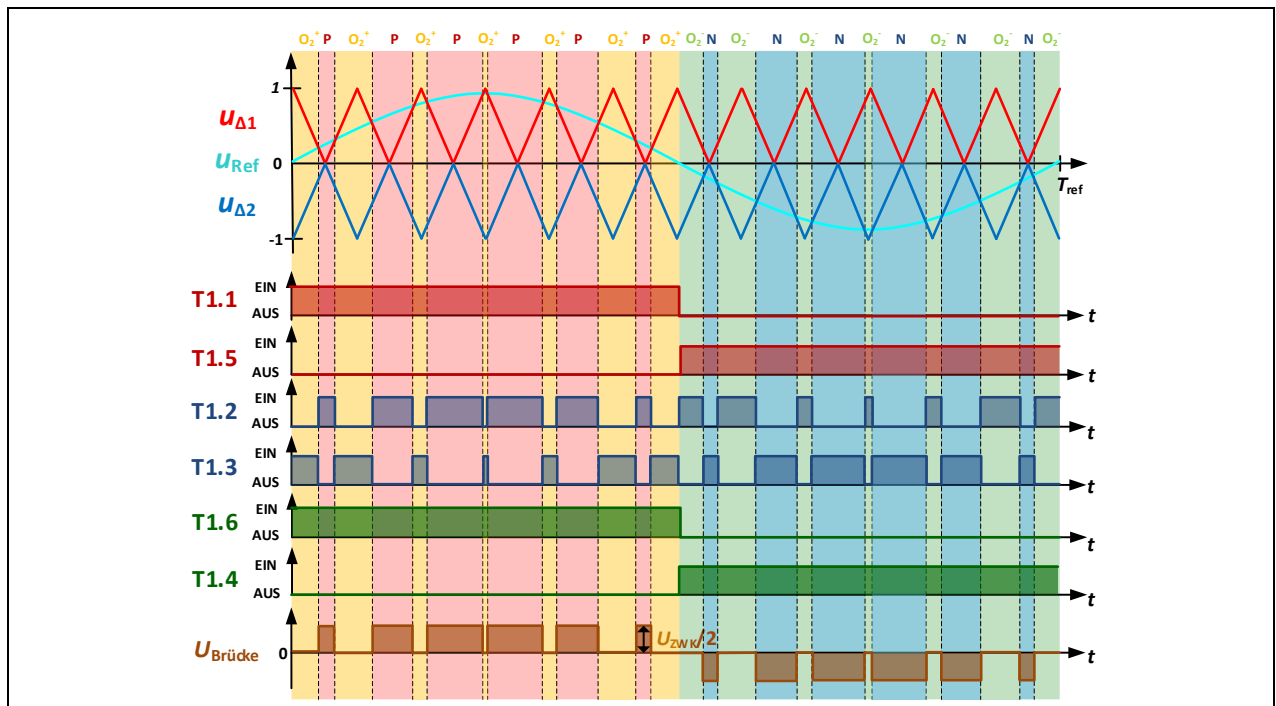


Abb. 31: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die konventionelle Modulationsstrategie ANPC-12

Vorteile:

Da die ANPC-12-Modulationsstrategie genau wie die ANPC-11-Sync mit ausschließlich zwei Träger-, einem Referenzsignal und wenigen logischen Operatoren umgesetzt werden kann, ist sie ebenfalls mit geringem Ansteuerungsaufwand realisierbar. Hinzu kommt, dass ihr „Nachteil“ der Verschiebung der Schaltverluste auf die ohnehin am stärksten belasteten inneren Halbleiter für die Realisierung einer Hybridschaltung nach [32] genutzt werden kann. Bei einer solchen Hybrid-Umrichter-Schaltung werden für die inneren Schalter T2 und T3 zwei SiC-MOSFETs und für die vier Schalter T1, T4, T5 und T6 IGBTs eingesetzt. Durch die in Abschnitt 2.6 beschriebenen physikalischen Eigenschaften der SiC-MOSFET besitzen diese geringere Durchlass- und Schaltverluste als Si-IGBTs. Die zwei SiC-MOSFETs können somit die auf die Mittelpunktsschalter verschobenen Schaltverluste sowie die hier entstehenden Durchlassverluste kompensieren und die leistungselektronische Schaltung kann gleichzeitig, aufgrund der günstigeren Si-IGBT Bauteile, preiswerter hergestellt werden.

- Einfach zu realisierende Ansteuerung, Implementierungsaufwand gering
- Gute Voraussetzungen für die Realisierung eines Hybrid-Inverter

Nachteile:

Durch die Verschiebung der gesamten Schaltverluste auf die ohnehin am stärksten belasteten inneren Schalter T2 und T3 entsteht allgemein nach Abb. 57 in Abschnitt 4.4.3 eine sehr ungleichmäßige Verteilung der Gesamtverluste zwischen den Halbleitern. Zusätzlich dazu müssen auch bei der ANPC-12, genau wie bei der ANPC-11-Sync-Strategie, die Halbleiter mit der doppelten Ansteuerungsfrequenz f_s angesteuert werden, um die gleiche Qualität wie die ANPC-DF-Strategie hinsichtlich THD-Wert und Filterdimensionierung nach Formel (7) zu erreichen. Hinzu kommt, dass es bei dieser Modulationsstrategie im Bereich des Nulldurchgangs an den inneren Schaltern T2 und T3 aufgrund der

parasitären Kapazitäten Überspannungen entstehen. Die Messergebnisse dieser Überspannungsmessung werden in Abschnitt 4.4.4, Abb. 60 und Anhang 9.7, Tab. 20 dargestellt.

- Ungleichmäßige Verlustverteilung, Schaltverluste werden vollständig auf die äußeren Schalter verlagert.
- Doppelte Ansteuerungsfrequenz f_s wie bei ANPC-DF erforderlich, um THD-Qualität von ANPC-DF zu erreichen.
- Parasitäre Überspannungen im Bereich des Nulldurchgangs für $\cos(\varphi) = 0.9 - 0$

3.3 Modulationsstrategie ANPC-DF

Grundlegendes Funktionsprinzip:

Bei der Modulationsstrategie ANPC-DF (Doubled Frequency), nach [18] und [25], werden die Schaltzustände der konventionellen Modulationsstrategien ANPC-11-Sync und ANPC-12 miteinander kombiniert. Es werden sowohl die Schaltzustände O_1^+ , O_1^- als auch die Schaltzustände O_2^+ und O_2^- nach Tab. 9 für das Mittelpunktpotential genutzt. Somit stehen bei dieser Modulationsstrategie vier verschiedene Schaltmöglichkeiten für die Erzeugung des Freilaufzustands zu Verfügung. Indem jeweils die beiden Schaltzustände O_1^+ und O_2^+ während der pos. Halbwelle und die Schaltzustände O_1^- und O_2^- während der neg. Halbwelle alternierend zwischen den Aktivphasen eingesetzt werden, kann eine „natürliche Verdopplung der Schaltfrequenz am Brückenausgang erzeugt werden. Dies bedeutet, dass mit denselben Leistungshalbleitern die Brückenausgangsfrequenz im Vergleich zu den konventionellen Ansteuerungsstrategien ANPC-11-Sync und ANPC-12 nach Formel (14) verdoppelt wird.

$$f_{s,out-DF} = 2 * f_s \quad (14)$$

Eine Verdopplung der Ausgangsschaltfrequenz bedeutet nach Formel (7) auf Seite 29, dass bei gleicher Schalter-Ansteuerungsfrequenz f_s die erforderlichen Ausgangs-Filterkomponenten kleiner dimensioniert werden können. Gleichzeitig ist jedoch in der Schaltmusterdarstellung aus Abb. 32 zu erkennen, dass bei der ANPC-DF-Strategie alle Schalter Hochfrequent schalten. Die in den konventionellen Strategien vorkommenden niederfrequenten bzw. netzfrequenten Schaltvorgänge entfallen somit und werden durch hochfrequente ersetzt. Daraus folgt, dass bei der ANPC-DF-Strategie die gleiche Qualität des THD-Werts am Ausgang der leistungselektronischen Schaltung mit der halben Anzahl an Ansteuerungsschaltvorgängen erreicht wird, sich die Verluste der einzelnen Schaltvorgänge zwischen den Schaltzuständen jedoch gleichzeitig erhöhen. In der Summe ergeben sich hierdurch für die ANPC-DF-Strategie, nach Abb. 32, bei halber Ansteuerungsfrequenz $f_s/2$ nahezu dieselben Gesamtverluste wie bei den konventionellen Ansteuerungsmethoden mit Ansteuerungsfrequenz f_s .

Eine weitere Besonderheit der ANPC-DF-Modulationsstrategie ergibt sich durch die abwechselnde Nutzung der Freilaufzustände aus den konventionellen Strategien ANPC-11-Sync und ANPC-12. Da bei der ANPC-11-Sync-Strategie die Schaltverluste auf die äußeren und bei der ANPC-12 auf die inneren Halbleiter verschoben werden, führt die abwechselnde Nutzung der Nullzustände zu einer Verteilung der Schaltverluste zu je 50% auf die inneren und 50% auf die äußeren Halbleiter. Die ANPC-DF-Strategie teilt somit die Schaltverluste zwischen den Schaltern T1 und T2 bzw. T3 und T4 auf, wodurch eine Reduzierung der maximalen Bauteilbelastung erreicht wird. Durch diese Verlustverteilung bzw. Entlastung des am stärksten belasteten Bauteil kann die Nennleistung des Wechselrichters bei identischer Topologie und Bauteilbestückung erhöht werden.

Wahrheitstabelle:

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{ZWK}}/2$	P	1	0	1	0	1	0
0	0_1^+	0	1	1	0	0	0
0	0_2^+	1	0	0	1	1	0
0	0_1^-	0	0	0	1	1	0
0	0_2^-	0	1	1	0	0	1
$-U_{\text{ZWK}}/2$	N	0	1	0	1	0	1

Tab. 9: Logiktable der Modulationsstrategie ANPC-DF

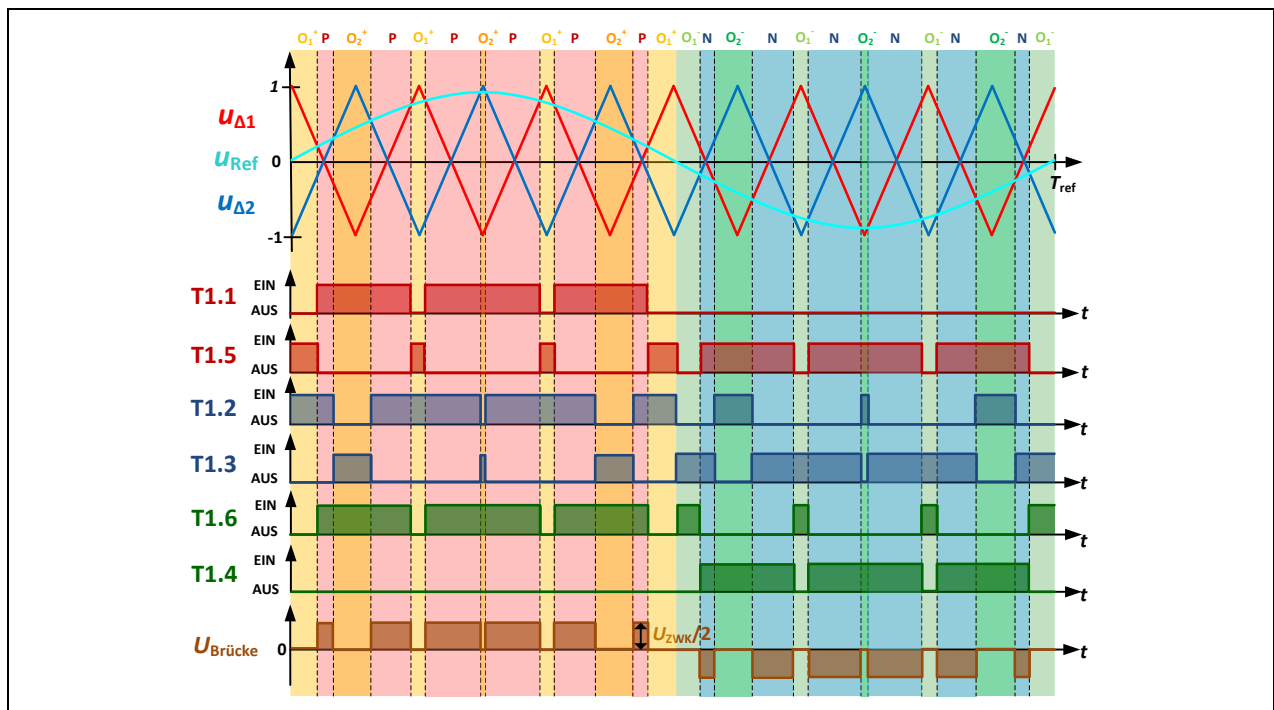
Schaltmusterübersicht:

Abb. 32: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-DF

Um die ANPC-DF-Strategie zu realisieren, müssen die Leistungshalbleiter während der pos. Halbwelle mit der Ansteuerungsreihenfolge $P \rightarrow 0_1^+ \rightarrow P \rightarrow 0_2^+$, $P \rightarrow 0_1^+ \rightarrow P \rightarrow 0_2^+$, ... und während der neg. Halbwelle in der Reihenfolge $N \rightarrow 0_1^- \rightarrow P \rightarrow 0_2^-$, $N \rightarrow 0_1^- \rightarrow P \rightarrow 0_2^-$, ... angesteuert werden. Zur Erzeugung dieser alternierenden Schaltzustände wird abweichend von den vorherigen Ansteuerungsstrategien durch den gleichzeitigen Vergleich eines Sinus-Referenzsignals mit zwei um 180° phasenverschobenen Dreiecksignalen realisiert. Diese Dreieckssignale $U_{\Delta 1}$ und $U_{\Delta 2}$ haben einen Minimalwert von -1 und einen Maximalwert von +1. Das bedeutet, dass sie sich über den gesamten Aussteuerungsbereich aufspannen. Durch Komparatoren und Logikgatter müssen für die ANPC-DF-Strategie folgende Regeln im Ansteuerungscontroller definiert werden:

- Ist das Referenzsignal während der pos. Halbwelle kleiner als das rote Trägersignal $U_{\Delta 1}$, werden die Schalter für den Schaltzustand 0_1^+ angesteuert.
- Ist das Referenzsignal größer als das blaue Trägersignal $U_{\Delta 2}$, werden die Schalter für den Schaltzustand P angesteuert.
- Ist das Referenzsignal kleiner als das blaue Trägersignal $U_{\Delta 2}$, werden die Schalter für den Schaltzustand 0_2^+ angesteuert.

Vorteile:

Da die ANPC-DF ebenso wie die konventionellen Ansteuerungsstrategien mit ausschließlich zwei Träger-, einem Referenzsignal sowie wenigen logischen Operatoren umgesetzt werden kann, ist sie ebenfalls mit überschaubarem Ansteuerungsaufwand realisierbar. Hinzu kommt, dass mittels der ANPC-DF-Strategie nach Formel (14) die Schalter-Schaltfrequenz f_s am Brückenausgang verdoppelt wird, wodurch die Ausgangs-Filterkomponenten bei gleicher Ansteuerungsfrequenz kleiner dimensioniert werden können. Zusätzlich dazu werden die Schaltverluste bei der ANPC-DF im Verhältnis 50/50 auf die inneren und äußeren Halbleiter aufgeteilt, wodurch die Nennleistung der Schaltung ohne Veränderung der Hardware erhöht werden kann.

- Einfach zu realisierende Ansteuerung, Implementierungsaufwand gering
- Verdopplung der Schalter-Schaltfrequenz f_s am Brückenausgang
- Filterkomponenten können bei gleicher Ansteuerungsfrequenz im Vergleich zu den konventionellen Strategien kleiner dimensioniert werden.
- Schaltverluste werden gleichmäßig auf die inneren- und äußeren Halbleiter verteilt.

Aufgrund der zahlreichen genannten Vorteile im Vergleich zu den konventionellen Strategien wird die ANPC-DF-Strategie aktuell für den in Abschnitt 1.2 vorgestellten Prototypen des 3,3 kV Mittelspannungsdirektumrichters eingesetzt. Aus diesem Grund werden für die in den folgenden Kapiteln durchgeführten Vergleiche der Modulationsstrategien die Resultate der Analyse und Messwerte der ANPC-DF-Strategie als Richtwerte herangezogen.

Nachteile:

Bei der ANPC-DF-Modulationsstrategie wurden im Bereich des Nulldurchgangs an den inneren Schaltern T2 und T3, aufgrund der parasitären Kapazitäten, Überspannungen gemessen. Die Messergebnisse dieser Überspannungsmessung werden in Abschnitt 4.4.4, Abb. 60 und Anhang 9.7, Tab. 21 dargestellt. Zusätzlich dazu muss bei der ANPC-DF-Strategie festgehalten werden, dass trotz der Schaltverlustaufteilung zu je 50/50 auf die inneren und äußeren Schalter die inneren Schalter aufgrund der unveränderten höheren Durchlassverluste weiterhin stärker als die anderen Halbleiter belastet werden.

- Parasitäre Überspannungen im Bereich des Nulldurchgangs in sämtlichen Arbeitspunkten
- Obgleich die Schaltverluste verteilt werden, bleiben T2 und T3 die am stärksten belasteten Halbleiter

3.4 Modulationsstrategie ANPC-ALD

Grundlegendes Funktionsprinzip:

Durch eine Kombination der abgewandelten Freilaufzustände der ANPC-11-Sync-Strategie mit denen der ANPC-12-Strategie wurde nach [18] und [26] eine aktive Modulationsstrategie entwickelt, welche eine arbeitspunktabhängige

Verschiebung der Schaltverluste zwischen den inneren und äußeren Halbleitern ermöglicht. Hieraus entsteht auch der Name der ANPC-ALD (Adjustable Losses Distribution) -Strategie. In der Modulationsstrategie ANPC-ALD werden nach Tab. 10 die aktiven Schaltzustände P und N sowie sechs Mittelpunktschalterstellungen 0_{in}^+ , 0_{out}^+ , 0^+ , 0^- , 0_{out}^- , 0_{in}^- eingesetzt, wobei die Bezeichnungen der Indexe „out“ und „in“ für die Abkürzungen Stress-In-Mode und Stress-Out-Mode stehen. Diese Bezeichnungen weisen bereits darauf hin, auf welche Schalter die Schaltverluste bei einem Schaltzustandswechsel verlagert werden. Die Schaltzustände 0^+ und 0^- sind in diesem Fall universelle Nullzustände, von welchen aus durch nur eine verlustlose oder verlustarme Schalthandlung in einen der 0_{in} oder 0_{out} Zustände gewechselt werden kann.

Bisher wurde bei den verschiedenen Modulationsstrategien nur die Arbeitspunkte mit rein ohmschen Lasten betrachtet. Wird allerdings eine ohmsch-induktive Last an das Netz angeschlossen, was bei einer Einspeisung in ein Energienetz meist gegeben ist, weicht der $\cos(\varphi)$ Wert von 1 ab. Hierdurch werden beispielsweise bei der ANPC-11-Sync-Strategie die Schalt- sowie Durchlassverluste immer stärker auf die Mittelpunktschalter verlagert. Indem der Anteil an Stress-In- und Stress-Out-Schalthandlungen bei der ANPC-ALD-Strategie innerhalb einer Periode variabel eingestellt werden kann, eröffnet die ANPC-ALD-Strategie die Möglichkeit die Schaltverluste für jeden beliebigen Arbeitspunkt variabel auf die inneren und äußeren Halbleiterschalter zu verteilen. Diese Justierbarkeit der Schaltverluste kann genutzt werden, um arbeitspunktabhängige Verschiebungen der Verlustleistungen zwischen den Bauteilen auszugleichen. So können die Schaltverluste für jeden Arbeitspunkt bestmöglich auf die inneren und äußeren Halbleiter verteilt werden.

Stress-In-Mode:

Die Schaltabfolge des Stress-In-Modus während einer pos. Halbwelle des Referenzsignals ist in Abb. 33 dargestellt. Ausgangslage ist hier der Nullzustand 0^+ , Abb. 33 (a), in welchem die beiden Mittelpunktschalter T3 & T6 des unteren Brückenzeigs eingeschaltet sind. Um in den 0_{in}^+ Zustand von Abb. 33 (b) zu wechseln, wird zusätzlich der Schalter T1 eingeschaltet. Da T1 in diesem Zustand nicht stromführend ist, kann der Schalter verlustarm durch einen weichen Einschaltvorgang eingeschaltet werden. Die an ihm anliegende Spannung fällt somit auf 0 V ab, ohne das Ausgangspotential am Brückenausgang der Schaltung zu verändern. Im nächsten Schritt wird der Mittelpunktschalter T3, da der Mittelpunktstrom zu diesem Zeitpunkt bereits abgeklungen ist, verlustarm ausgeschaltet. Anschließend wird T2 unter Spannung eingeschaltet. Dadurch fallen an T2 Schaltverluste an und die Schaltung wechselt in den aktiven Zustand P Abb. 33 (c). Bei diesem Übergang fallen somit lediglich Schaltverluste am Schalter T2 an, da T1 bereits verlustarm im vorherigen Schaltzustand 0_{in}^+ eingeschaltet wurde. Die Schaltverluste werden somit bei dieser Schaltabfolge vollständig auf den inneren Schalter T2 verschoben.

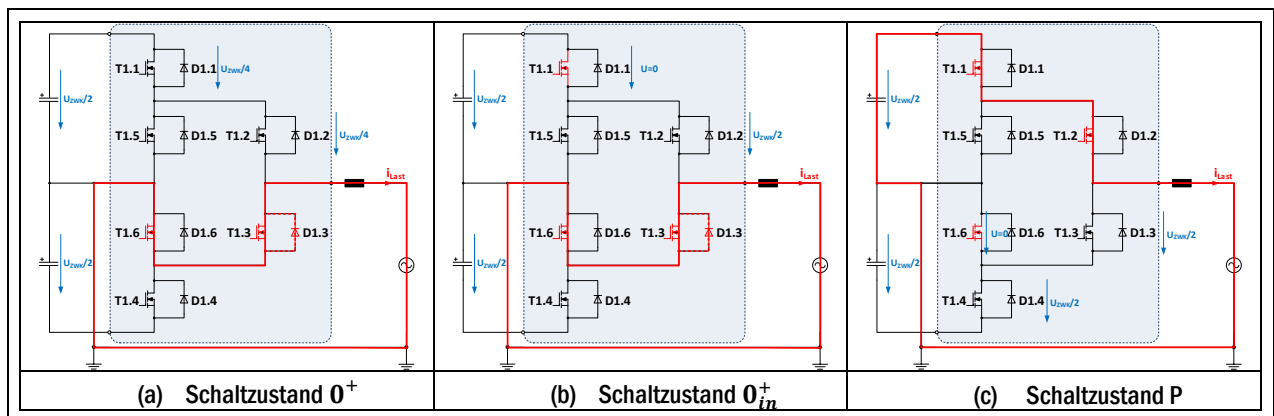


Abb. 33: Schaltzustände des Stress-In-Mode für die pos. Halbwelle der Referenzsignale

Stress-Out-Mode:

Die entgegengesetzt wirkende Schaltabfolge des Stress-Out-Modes ist in Abb. 34 dargestellt. Ausgangslage ist hier ebenfalls der Nullzustand 0^+ aus Abb. 34(a). Um in den 0_{out}^+ Zustand nach Abb. 34 (b) zu wechseln, wird hier zunächst der Schalter T2 anstelle des Schalters T1 eingeschaltet. Dadurch wird der geschaltete Schalter T2 zunächst stromlos und verlustarm eingeschaltet. Durch das Einschalten von T2 entsteht jedoch für den Fall eines ausreichend hohen pos. Laststroms über die Diode D5 und Schalter T2 ein zweiter Strompfad. Das Einschalten von T2 erfolgt somit im Gegensatz zum Stress-In-Mode nicht vollständig verlustlos. Durch den zusätzlichen Strompfad im oberen Brückenweig kommt es zudem, abhängig von der Dauer des Schaltzustands 0_{out}^+ , zu einer Umverteilung der Durchlassverluste zwischen den Bauteilen (T6, T3, D3) und (T2, D5). In der darauffolgenden Schalthandlung nach Abb. 34(c) wird T3 verlustarm ausgeschaltet, da der Nullstrom zu diesem Zeitpunkt bereits abgeklungen ist. T1 wird dagegen im nächsten Schritt hart eingeschaltet, wodurch an ihm Schaltverluste anfallen. Zusätzlich dazu kommt es durch den zusätzlich entstandenen Stromfluss im oberen Brückenweig zu einem Abkommutierungsvorgang der Diode D5, bei dem ebenfalls Verluste am Halbleiter T5/D5 anfallen. Beim Stress-Out-Mode kommt es somit aufgrund des Stromflusses über D5 zu einer Teilentlastung, jedoch nicht zu einer vollständigen Entlastung der inneren Halbleiter.

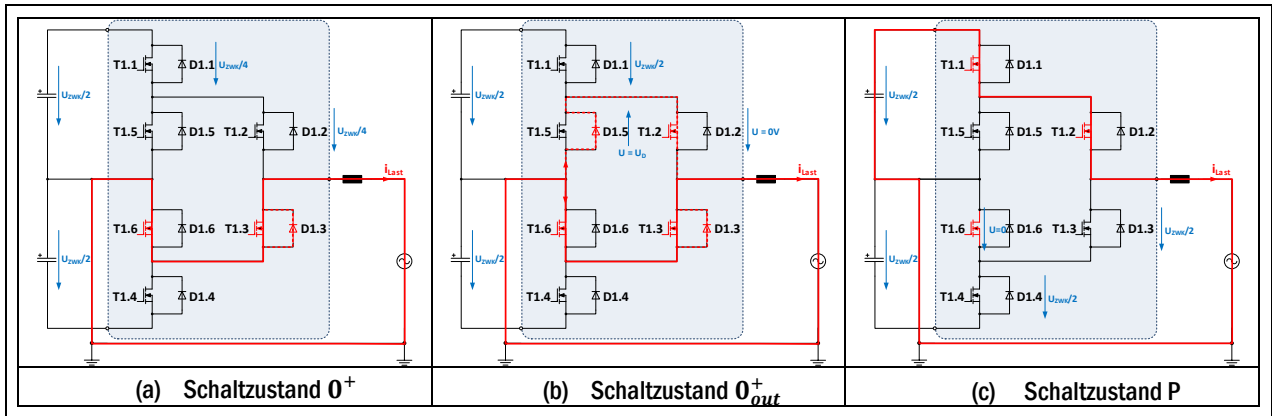


Abb. 34: Schaltzustände des Stress-Out-Mode für die pos. Halbwelle der Referenzsignale

Durch das Schalten eines Stress-In- oder Stress-Out-Modes vor oder nach einem der universellen Nullzustände kann bestimmt werden, ob die Schaltverluste für den darauffolgenden P- oder O-Zustandswechsel an den inneren oder den äußeren Schaltern anfallen sollen. Die Stress-In- bzw. Stress-Out-Modes müssen somit voraussend bzw. nachteilend zu den universellen Nullzuständen geschaltet werden. Dafür wird, wie im Schaltmuster der ANPC-ALD-Strategie nach Abb. 35 dargestellt, zusätzlich zu den identischen Träger- und Referenzsignalen der konventionellen Ansteuerungsstrategien ein zweites Referenzsignal U_{Ref1} mit erhöhter Amplitude eingeführt. Mithilfe dieses zusätzlich gestrichelt dargestellten Referenzsignals U_{Ref1} können die voraussendenden bzw. nachteilenden Schaltzustände der ANPC-ALD erzeugt werden. Um den Stress-In-Mode während der positiven Halbwelle zu erzeugen, muss der Schalter T1 dem Referenzsignal U_{Ref1} folgen. Gleichzeitig folgt der Schalter T2 dem alten Referenzsignal U_{Ref2} . Der Schalter T1 wird somit wie gewünscht vor Schalter T2 verlustlos eingeschaltet. Ergänzend folgt der Schalter T4 während der negativen Halbwelle U_{Ref1} und der Schalter T3 U_{Ref2} , um auch hier die Schaltverluste auf die inneren Schalter zu verlagern. Beim Stress-Out-Mode erfolgt die Schalteransteuerung durch das jeweils andere Referenzsignal und die Schaltverluste werden auf die äußeren Halbleiter verschoben. Während der pos. Halbwelle ergeben sich somit folgende mögliche Schaltreihenfolgen:

- $P, 0_{in}^+, 0^+, 0_{in}^+, P, 0_{in}^+, 0^+, 0_{in}^+, P, \dots$ sowie $P, 0_{out}^+, 0^+, 0_{out}^+, P, 0_{out}^+, 0^+, 0_{out}^+, P, \dots$

Sowie die folgenden Schaltreihenfolgen während der neg. Halbwelle:

- $N, 0_{in}^-, 0^-, 0_{in}^-, N, 0_{in}^-, 0^-, 0_{in}^-, N, \dots$ sowie $N, 0_{out}^-, 0^-, 0_{out}^-, N, 0_{out}^-, 0^-, 0_{out}^-, N, \dots$

Durch die Anpassung der Amplitude des Referenzsignals U_{Ref1} kann zusätzlich zur Schaltverlustverlagerung eine zeitliche Aufteilung zwischen Stress-In/Out und $0^{+/-}$ Modes während einer Halbwelle vorgenommen werden. Daraus folgt, je näher die Amplituden von U_{Ref1} und U_{Ref2} aneinander liegen, desto kürzer werden die Stress-Modes und desto länger die $0^{+/-}$ Modes. Umgekehrt verlängern sich die Stress-Modes und verkürzen sich die $0^{+/-}$ Modes, wenn die Amplituden von U_{Ref1} und U_{Ref2} weiter auseinander liegen. Da es, wie in Abb. 34 beschrieben, im Stress-Out-Mode zu einer Umverteilung der Durchlassverluste zwischen den Bauteilen T6, T3, D3 und D5, T2 kommt, führt die Veränderung der Aufteilung zwischen Stress-In/Out und $0^{+/-}$ Modes auch zu einer Veränderung der Durchlassverluste. Wird beispielsweise der zeitliche Anteil des Stress-Out-Modes vergrößert, erhöhen sich durch den sich zusätzlich einstellenden Strompfad im oberen Brückenweig während der pos. Halbwelle die Durchlassverluste von D5 und T2, jedoch sinken gleichzeitig die Durchlassverluste im unteren Brückenweig, wodurch T6, T3 und D2 entlastet werden. Um eine bestmögliche Verteilung der Durchlassverluste zwischen diesen Bauteilen zu erhalten, wurden in [26] die Amplitude des zusätzlichen Referenzsignals als $U_{Ref1} = 1,1 \cdot U_{Ref2}$ gewählt. Um die Testhardwareplattform nach Kapitel 6 mit der ANPC-ALD-Modulationsstrategie zu betreiben, wurden in der Simulation aus Kapitel 4 verschiedene Werte für die Auslegung der Amplitude des Referenzsignals U_{Ref1} getestet. Hierbei ergab sich, dass sich die Durchlassverlustverteilung für die Testhardwareplattform mit U_{Ref1} Werten im Bereich $1,01 \cdot U_{Ref2} \geq U_{Ref1} \leq 1,1 \cdot U_{Ref2}$ anpassen lässt. Im Vergleich zu der möglichen Schaltverlustverschiebung lässt sich durch die Anpassung der Amplitude von U_{Ref1} jedoch nur ein geringer Teil der Durchlassverluste verschieben. Um die Ansteuerungsstrategie auf der Testhardwareplattform im linearen Ansteuerungsbereich zu betreiben und eine maximal mögliche Optimierung der Durchlassverlustverteilung zu erreichen, wird aufgrund von der in diesem Fall vorliegenden maximalen Modulationsreserve U_{Ref1} als $1,05 \cdot U_{Ref2}$ gewählt. Hierbei muss jedoch beachtet werden, dass die Ausgangsspannung der Testplattform konstant gehalten wird, da eine Erhöhung der Ausgangsspannung umgehend zu einer Übermodulation führen würde. Im realen Netzbetrieb müssen daher für die Dimensionierung der Amplitude des Referenzsignals U_{Ref1} zusätzlich die möglichen Toleranzen der Ausgangsspannung beachtet werden. Um die Optimierungsmöglichkeiten der ANPC-ADL-Strategie vollständig auszunutzen, muss somit auch die DC-Zwischenkreisspannung entsprechend der benötigten erhöhten Amplitude von U_{Ref1} angepasst werden.

Indem ein weiteres pulsierendes Triggersignal $Trig_{In/Out Mode}$ mit der doppelten Netzfrequenz und veränderbarem Tastgrad (Duty Cycle) eingeführt wird, kann zusätzlich bestimmt werden, für welchen zeitlichen Anteil einer Halbwelle jeweils die Ansteuerung für den Stress-In- und Stress-Out-Mode erzeugt werden soll. Das Verhältnis zwischen Stress-In- und Stress-Out-Mode kann somit beliebig, je nach Arbeitspunkt, ohne Veränderung der Schaltung automatisch durch die Ansteuerung angepasst werden. Für eine Verteilung zwischen Stress-In- und Stress-Out-Modus zu jeweils 50%, nach Abb. 35, wird somit dieselbe Verlustverteilung wie bei der ANPC-DF-Strategie erreicht. Wird dagegen für den Arbeitspunkt $P = P_N$ und $\cos(\varphi) = 1$ ein Verhältnis von 30/70 (Stress-In/Stress-Out) eingestellt, ergeben sich nahezu identische Gesamtverlustleistungen zwischen den inneren und den äußeren Halbleitern. Die Simulationsergebnisse dieser absolut gleichmäßigen Verlustverteilung bei einem Tastgrad von 30/70 ist im Abschnitt 4.4.3 in Abb. 58 dargestellt.

Obgleich die Schaltmustererzeugung von den konventionellen Modulationsstrategien abweicht, wird bei der ANPC-ALD-Modulation am Ausgang der leistungselektronischen Schaltung, wie bei den konventionellen Ansteuerungsstrategien, ein identisches unipolares periodisches Rechtecksignal erzeugt.

Wahrheitstabelle:

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{zwk}}/2$	P	1	0	1	0	1	0
0	0_{in}^+	1	0	0	1	1	0
0	0_{out}^+	0	0	1	1	1	0
0	0^+	0	0	0	1	1	0
0	0^-	0	1	1	0	0	0
0	0_{out}^-	0	1	1	1	0	0
0	0_{in}^-	0	1	1	0	0	1
$-U_{\text{zwk}}/2$	N	0	1	0	1	0	1

Tab. 10: Logiktablelle der Modulationsstrategie ANPC-ALD

Schaltmuster:

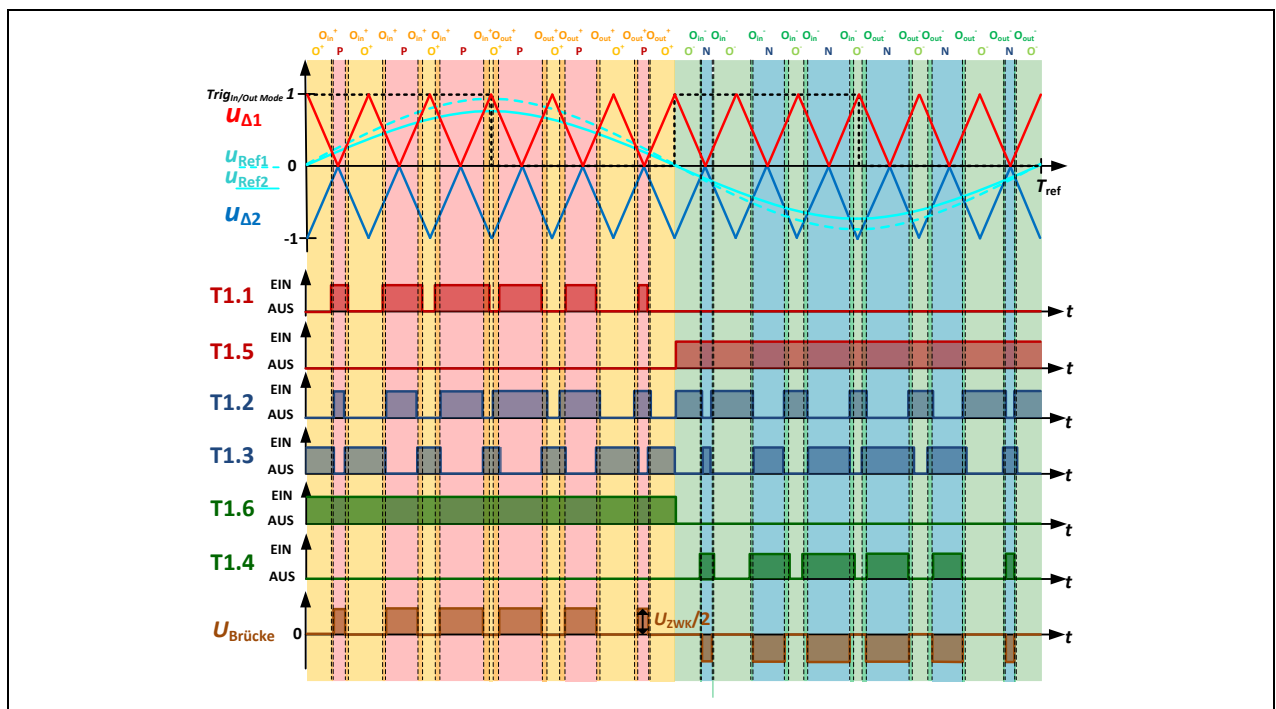


Abb. 35: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie der Träger- und Referenzsignale für die Modulationsstrategie ANPC-ALD

Vorteile:

Durch die neu eingeführten Schaltzustände Stress-In und Stress-Out können die Gesamtverluste von den inneren und äußeren Halbleitern in Kombination mit einem einstellbaren Triggersignal exakt zwischen den inneren und äußeren Halbleitern aufgeteilt werden. Bei der passiven Nutzung der ANPC-ALD-Strategie kann somit ohne hardwaretechnische Veränderung durch die Anpassung eines einzigen Parameters eine optimale Verlustverteilung für einen bestimmten Arbeitspunkt erreicht werden. Zusätzlich kann die Strategie durch hardwaretechnische Erweiterungen auch als aktive

Strategie eingesetzt werden, um für jeden beliebigen Arbeitspunkt eine ideale Verlustverteilung zwischen den Halbleitern zu erreichen. Durch diese gleichmäßigere Verlustverteilung kann die Ausgangsleistung des Umrichters gesteigert werden, was wiederum zu einer Effizienzsteigerung führt. Hinzu kommt, dass bei dieser Modulationsstrategie nach Abschnitt 2.9 keine Überspannungen aufgrund von parasitären Halbleiter-Kapazitäten entstehen. Die Messergebnisse dieser Überspannungsmessung werden in 4.4.4, Abb. 60 und Anhang 9.7, Tab. 22 dargestellt.

- Durch die neuen Schaltzustände Stress-In und Stress-Out können die Schaltverluste gezielt auf die inneren oder äußeren Schalter verteilt werden.
→ Effizienzsteigerung des Umrichters
- Für die Anpassung der Stress-In- und Stress-Out-Modes muss nur ein Parameter angepasst werden, hierzu sind keine baulichen Veränderungen erforderlich.
→ Die Ansteuerungsstrategie ist leicht anpassbar.
→ Die Methode kann die Verlustverteilung für verschiedene Arbeitspunkte optimieren.
- Keine parasitären Überspannungen im Nulldurchgang

Nachteile:

Da zur Erzeugung der Schaltmuster der ANPC-ALD-Strategie ein zusätzliches Sinus-Referenzsignal sowie ein Triggersignal generiert werden muss, entsteht bei der Implementierung der Ansteuerungssoftware ein Mehraufwand. Um die Möglichkeiten der ANPC-ALD-Strategie durch einen aktiven Regelungsbetrieb vollständig auszunutzen, muss die Hardware darüber hinaus mit zusätzlichen Messstellen sowie einem Regelungssystem erweitert werden. Zusätzlich dazu müssen auch bei der ANPC-ALD-Strategie die Halbleiter mit der doppelten Ansteuerungsfrequenz f_s angesteuert werden, um dieselbe Qualität wie die ANPC-DF-Strategie hinsichtlich THD-Wert und Filterdimensionierung nach Formel (7) zu erreichen. Darüber hinaus teilt sich der Strom während der Stress-Out-Modes auf die beiden Mittelpunktpfade auf, wodurch es zu Stromflüssen und Abkommutierungsvorgängen in den Dioden D5 bzw. D6 kommt. Hierdurch werden die inneren Leistungshalbleiter im Stress-Out-Mode nicht vollständig entlastet.

- Zusätzliches Referenz- und Triggersignal für die Ansteuerung erforderlich
→ Mehraufwand bei der Implementierung
- Doppelte Ansteuerungsfrequenz f_s wie bei ANPC-DF erforderlich um THD-Qualität von ANPC-DF zu erreichen.
- Durch den leitenden Zustand und das Abkommutieren der Dioden D5 bzw. D6 kommt es zu keiner vollständigen Entlastung der inneren Leistungshalbleiter.

3.5 Modulationsstrategie ANPC-R2:1

Grundlegendes Funktionsprinzip:

Bei der ANPC-R2:1 (Ratio 2 : 1) -Strategie, nach [27] und [28], handelt es sich um eine weitere Kombination der Freilaufzustände der konventionellen Modulationsstrategien ANPC-11-Sync und ANPC-12. Neben den aktiven Zuständen P und N stehen bei der ANPC-R2:1-Strategie nach Tab. 11 somit die vier Freilaufzustände 0_1^+ , 0_2^+ , 0_1^- , 0_2^- zur Verfügung. Anders als bei der ANPC-DF-Strategie werden die verfügbaren Freilaufzustände zwischen den Aktivzuständen jedoch nicht alternierend im Verhältnis 1:1 angesteuert, sondern im Verhältnis 2:1 eingesetzt. Indem die Freilaufzustände 0_1^+ und 0_1^- der ANPC-11-Sync doppelt so oft eingesetzt werden wie die Freilaufzustände 0_2^+ und 0_2^- der ANPC-12, werden die Schaltverluste zu 2/3 auf die äußeren Halbleiter und nur zu 1/3 auf die inneren Halbleiter verteilt. Für den Arbeitspunkt $\cos(\varphi) = 1$ werden somit die aufgrund der Durchlassverluste am stärksten belasteten inneren Schalter entlastet und ein größerer Teil der Schaltverluste auf die äußeren Halbleiter verlagert. Die Schalt- und

Durchlassverluste teilen sich hierdurch für diesen Arbeitspunkt nahezu identisch auf die inneren und äußeren Halbleiter auf. Durch diese optimierte Verlustverteilung kann die Ausgangsleistung und damit die Effizienz des Wechselrichters gesteigert werden.

Um die Freilaufzustände in das gewünschte Verhältnis 2:1 aufzuteilen, müssen während der pos. und neg. Halbwelle die folgenden Schaltzustandsabfolgen realisiert werden.

- Pos. Halbwelle: $O_1^+ \rightarrow P \rightarrow O_1^+ \rightarrow P \rightarrow O_2^+ \rightarrow P, \dots$
- Neg. Halbwelle: $O_1^- \rightarrow N \rightarrow O_1^- \rightarrow N \rightarrow O_2^- \rightarrow N, \dots$

Für die Erzeugung dieser Schaltzustandsabfolgen werden zur Ansteuerung der Halbleiter vier Trägersignale $U_{\Delta 1}$, $U_{\Delta 2}$, $U_{\Delta 3}$ und $U_{\Delta 4}$ nach Abb. 36 benötigt. Alle vier Trägersignale sind zunächst aus phasengleichen Dreiecksignalen mit einer Amplitude von 1 aufgebaut. Die beide Dreiecksignale $U_{\Delta 3}$ und $U_{\Delta 4}$ sind zusätzlich um die maximale Amplitude nach unten verschoben. Weiterhin wird bei den Signalen $U_{\Delta 1}$ und $U_{\Delta 3}$ nach zwei Perioden jeweils ein Puls ausgeschnitten. Gleichzeitig werden bei den Signalen $U_{\Delta 2}$ und $U_{\Delta 4}$ die beiden bei $U_{\Delta 1}$ und $U_{\Delta 3}$ verbleibenden Pulse abgeschnitten und der bei $U_{\Delta 1}$ und $U_{\Delta 3}$ jeweils abgeschnittene Puls beibehalten. Zusammen mit dem Sinus-Referenzsignal ergibt sich damit das Ansteuerungsschaltmuster nach Abb. 36.

Durch die Phasengleichheit der Trägersignale soll nach [28] zusätzlich zur Verlustverteilung ein besserer THD-Wert an Brückenausgang der Schaltung erreicht werden. Dieser Effekt konnte bei den Messungen innerhalb der Abschnitte 4.4.1, 4.4.2 und 4.4.3 für den gewählten Versuchsaufbau jedoch nicht bestätigt werden. Die optimale Verlustverteilung für den Arbeitspunkt $\cos(\varphi) = 1$ zwischen inneren und äußeren Halbleitern konnte dagegen im Abschnitt 4.4.3, Abb. 58 belegt werden. Durch das 2:1 Verhältnis der Nullzustände konnte wie erwartet im Vergleich zu der ANPC-DF- Strategie eine gleichmäßigere Aufteilung der Verluste erreicht werden.

Aufgrund der Ausschnitte in den vier Trägersignalen ergibt sich nach Abb. 36, anders als bei den vorherigen Modulationsstrategien, am Brückenausgang ein unsymmetrisches Pulsmuster. Um die Symmetrie wiederherzustellen, müssen bei dieser Strategie immer drei Perioden des Sinus-Referenzsignal als ein PWM Zyklus definiert werden. Bei messtechnischen Untersuchungen dieser Modulationsstrategie müssen Messungen somit immer über drei Perioden hinweg durchgeführt werden.

Wahrheitstabelle:

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{ZWK}}/2$	P	1	0	1	0	1	0
0	O_1^+	0	1	1	0	0	0
0	O_2^+	1	0	0	1	1	0
0	O_1^-	0	0	0	1	1	0
0	O_2^-	0	1	1	0	0	1
$-U_{\text{ZWK}}/2$	N	0	1	0	1	0	1

Tab. 11: Logiktable der Modulationsstrategie ANPC-R2:1

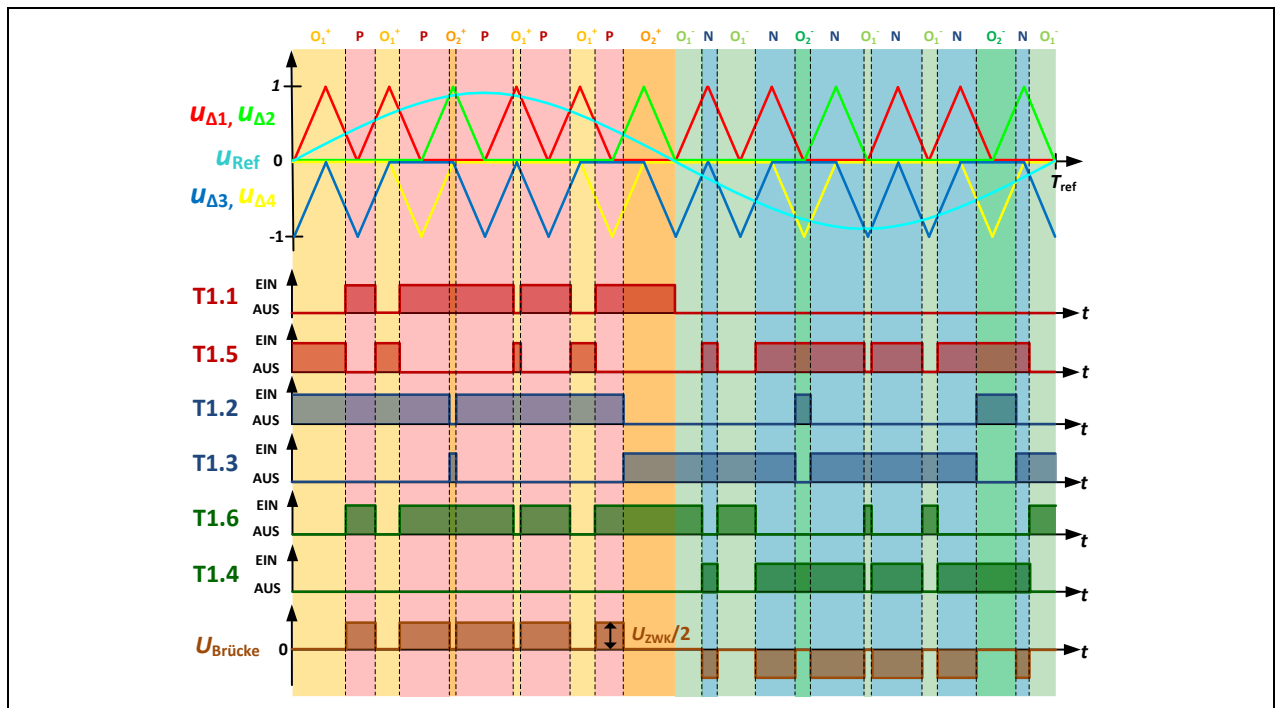
Schaltmusterübersicht:

Abb. 36: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-R2:1

Vorteile:

Der große Vorteil der ANPC-R2:1-Strategie ist die in Abschnitt 4.4.3, Abb. 58 belegte optimale Verlustverteilung für den Arbeitspunkt $\cos(\varphi) = 1$ zwischen inneren und äußeren Halbleitern. Durch das 2:1 Verhältnis der Nullzustände kann wie erwartet im Vergleich zu der ANPC-DF-Strategie eine gleichmäßiger Aufgeteilt der Gesamtverluste erreicht werden.

- Gleichmäßige Verteilung der Verluste durch 2:1 Ansteuerung
→ Die Schaltverluste werden von den stärker belasteten inneren Schaltern auf die äußeren hin verteilt.

Nachteile:

Da zur Erzeugung des Schaltmusters der ANPC-R2:1-Strategie vier Referenzsignale mit zusätzlichen Ausgeschnitten Pulsen erforderlich sind, entsteht bei der Implementierung der Ansteuerungssoftware ein erheblicher Mehraufwand. Zusätzlich dazu entsteht am Brückenausgang ein unsymmetrisches Pulsmuster, das nur über drei Perioden hinweg wieder symmetrisiert wird. Des Weiteren wurden auch bei der ANPC-R2:1 in Abschnitt 4.4.4, Abb. 60 und Anhang 9.7, Tab. 23, in jeder dritten Perioden eine deutliche Überspannung in Bereich des Nulldurchgangs gemessen. Hinzu kommt, dass auch bei der ANPC-R2:1-Modulationsstrategie im direkten Vergleich zur ANPC-DF-Strategie keine Verdopplung der Schalter-Schaltfrequenz am Brückenausgang erreicht wird. Abschließend muss festgehalten werden, dass die optimale Verlustverteilung der ANPC-R2:1-Strategie nur im Arbeitspunkt $\cos(\varphi) = 1$ erreicht wird. Eine aktive Arbeitspunktabhängige Anpassung der Verlustverteilung wie bei der ANPC-ALD-Strategie kann bei der ANPC-R2:1-Strategie somit nicht realisiert werden.

- Komplizierte Ansteuerung aufgrund der vier Trägersignale mit komplementär ausgeschnittenen Pulsen
- Es entsteht ein unsymmetrisches Brückenausgangs-Pulsmuster.
- Parasitäre Überspannungen im Bereich des Nulldurchgangs in sämtlichen Arbeitspunkten
- Doppelte Ansteuerungsfrequenz f_s wie bei ANPC-DF erforderlich, um THD-Qualität von ANPC-DF zu erreichen.
- Die optimale Verlustaufteilung gilt ausschließlich für den Arbeitspunkt $\cos(\varphi) = 1$.

3.6 Modulationsstrategie ANPC-OOZS

Grundlegendes Funktionsprinzip:

Bei der in [29] und [30] beschriebenen ANPC-OOZS (Only One Zero State)-Strategie handelt es sich um eine sehr einfach zu realisierende Modulationsstrategie, welche nach Tab. 12 neben den aktiven P und N Zuständen nur einen einzigen Freilaufzustand beinhaltet. Bei diesem universellen Nullzustand der ANPC-OOZS-Strategie werden ähnlich wie bei der in Abschnitt 2.5.1 beschriebenen NPC-Strategien beide inneren Schalter T2 & T3 gleichzeitig eingeschaltet und zusätzlich dazu die Mittelpunktschalter T5 & T6. Hierdurch wird ein universeller Nullzustand geschaffen, der sowohl während der pos. als auch der neg. Halbwelle jeweils vor und nach jeden Aktivzustand geschaltet wird.

Um vom Zustand P in den universellen Nullzustand 0 zu wechseln, wird nach Tab. 12 und Abb. 37 während der pos. Halbwelle zunächst der Schalter T1 ausgeschaltet, wodurch an diesem Schaltverluste anfallen. Nach der Verzögerungszeit t_{delay} können dann die Schalter T5 & T3 eingeschaltet werden. Da die Schalter T2 & T6 während der gesamten pos. Halbwelle dauerhaft eingeschaltet sind, wird, wie bereits bei der ANPC11-Sync- und ANPC-12-Strategie beschrieben, das Nullpotential zwischen die inneren und äußeren Halbleiter gelegt. Hierdurch können die Schalter T5 und T3 verlustlos eingeschaltet werden. Beim Wechsel vom 0 zurück in den P-Zustand werden die Schalter T3 & T5 verlustarm ausgeschaltet, da der Stromfluss zu diesem Zeitpunkt bereits abgeklungen ist. Nach der Verzögerungszeit wird dann T1 erneut hart eingeschaltet. Äquivalent erfolgt die Ansteuerung der Schalter während der neg. Halbwelle. Durch die weichen Schaltvorgänge aller inneren und Mittelpunktschalter, bleiben die Schaltverluste im Vergleich zu den konventionellen Strategien konstant, obwohl sich die Gesamtanzahl an Schaltvorgängen bei dieser Modulationsstrategie erhöht. Des Weiteren verlagern sich die gesamten Schaltverluste, genau wie bei der ANPC-11-Sync-Strategie, auf die äußeren Halbleiter.

Zudem werden, egal in welchem Arbeitspunkt sich die Schaltung befindet, während des universellen Nullzustandes 0 durch die rückwärtsleitfähigen SiC MOSFETs für die gesamte Zeitspanne des Freilaufs zwei parallele leitfähige Kanäle geschaffen. Aus diesem Grund teilt sich der Nullstrom bei der ANPC-OOZS-Strategie während des Freilaufs auf beide Mittelpunktpfade auf. Aufgrund dieser parallel stromführenden Kanäle verringert sich in diesen Zustand der Durchlasswiderstand der Schaltung, was wiederum zu einer Reduzierung der Durchlassverluste führt. Da sich die Schaltverluste bei dieser Modulationsstrategie nicht erhöhen und gleichzeitig die Durchlassverluste im Freilaufzustand reduzieren, verringern sich auch die Gesamtverluste der Leistungsschaltung. Dies wiederum führt zu einer Erhöhung des Wirkungsgrads im Vergleich zu allen anderen in dieser Arbeit aufgeführten ANPC-Modulationsstrategien. Diese Erhöhung des Wirkungsgrads wird durch die Verlustmessungen in den Abschnitten 4.4.1 bis 4.4.3 bestätigt.

Zur Erzeugung der ANPC-OOZS Steuersignale werden identische Träger und Referenzsignale wie bei den konventionellen ANPC-Modulationsstrategien verwendet. Durch eine Abänderung der logischen Vergleichsoperatoren lässt sich daraus das Schaltmuster nach Abb. 37 erzeugen.

Wahrheitstabelle:

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{zwk}}/2$	P	1	0	1	0	1	0
0	0	0	1	1	1	1	0
$-U_{\text{zwk}}/2$	N	0	1	0	1	0	1

Tab. 12: Logiktablelle der Modulationsstrategie ANPC-00ZS

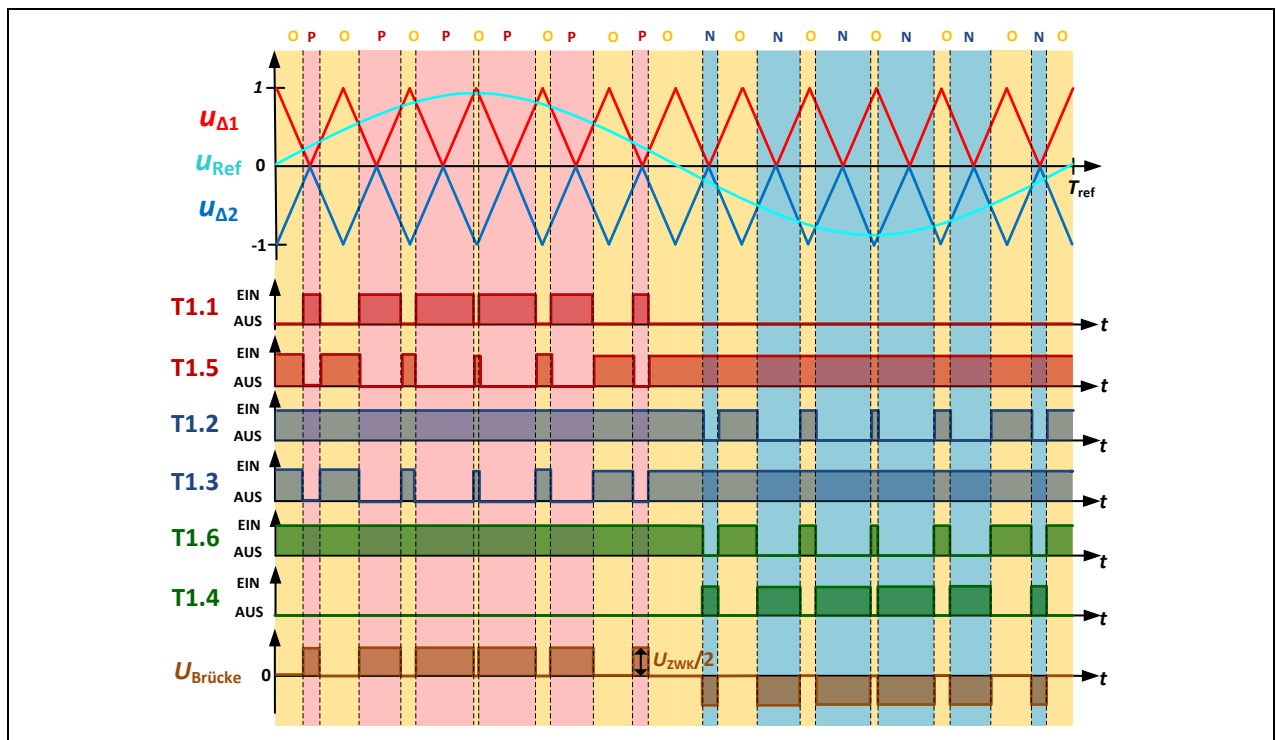
Schaltmusterübersicht:

Abb. 37: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-00ZS

Vorteile:

Der Hauptvorteil der ANPC-00ZS-Strategie liegt in der Verringerung der Durchlassverluste bei gleichzeitigem Beibehalten der Schaltverluste. Hierdurch verringern sich die Gesamtverluste dieser Modulationsstrategie im Vergleich zu den konventionellen Strategien und der Gesamtwirkungsgrad erhöht sich. Des Weiteren besitzt die Strategie nur drei verschiedene Schaltzustände, wodurch die Ansteuerung dieser Strategie sehr leicht zu realisieren ist. Hinzu kommt, dass auch bei der ANPC-00ZS nach Abschnitt 4.4.4, Abb. 60 und 9.7, Tab. 24 keine Überspannungen an den Halbleitern gemessen wurden.

- Geringere Gesamtverluste → höherer Wirkungsgrad
- Einfache Ansteuerung, geringerer Implementierungsaufwand
- Keine parasitären Überspannungen

Nachteile:

Durch die Verschiebung der gesamten Schaltverluste auf die äußeren Schalter T1 und T4 entsteht bei der ANPC-00ZS genau wie bei der ANPC-11-Sync allgemein eine ungleichmäßige Verteilung der Gesamtverluste zwischen den verschiedenen Halbleitern. Dazu kommt, dass auch bei dieser Modulationsstrategie keine Verdopplung der Schalter-Schaltfrequenz am Brückenausgang, wie es bei der ANPC-DF-Strategie der Fall ist, erreicht wird.

- Schaltverluste werden vollständig auf die äußeren Schalter verlagert.
- Doppelte Ansteuerungsfrequenz f_s wie bei ANPC-DF erforderlich, um THD-Qualität von ANPC-DF zu erreichen.

3.7 Modulationsstrategie ANPC-SSLD

Grundlegendes Funktionsprinzip:

Bei der ANPC-SSLD (Splitting Switching Loss Distribution) -Strategie nach [31] handelt es sich um eine Erweiterung der ANPC-12-Strategie, welche zusätzlich die O_{out} Zustände der ANPC-ALD-Strategie als transiente Zwischenzustände einsetzt. Des Weiteren wird speziell bei dieser Strategie zwischen Ein- und Ausschaltverlusten unterschieden. Die Grundidee der ANPC-SSLD-Strategie besteht darin, die am stärksten belasteten inneren Halbleiterschalter zu entlasten, indem ein Teil der Durchlassverluste von den inneren auf die Mittelpunktschalter und gleichzeitig ein Großteil der Ausschaltverluste auf die äußeren Schalter verlagert wird. Somit verspricht sich diese Strategie eine gleichmäßigere Verlustverteilung. Nach Tab. 13 liegen hierfür neben den aktiven Schaltzuständen P und N die Freilaufzustände O_{2+} und O_{2-} und als transiente Schaltzustände O_{out+} sowie O_{out-} vor. Am Beispiel der Schaltabfolge P, O_{out+} , O^+ , P während der pos. Halbwelle, wird im Folgenden das Prinzip der ANPC-SSLD-Strategie beschreiben.

Die Schaltabfolge startet nach Abb. 34 (c) auf Seite 61 im Zustand P. Um von hier aus zum transienten Schaltzustand O_{out+} zu wechseln, wird zunächst der Schalter T1 hart ausgeschaltet. An diesem fallen somit Ausschaltverluste an. Nach der Verzögerungszeit t_{delay} schaltet dann T3 ein, um in den Zustand O_{out+} nach Abb. 34 (b) zu wechseln. Dieser Schaltvorgang erfolgt verlustlos, da an T3 zu diesem Zeitpunkt an beiden Schalterenden Nullpotential anliegt. Stellt sich nach dem Einschalten von Schalter T3 ein ausreichend hoher Stromfluss ein, sodass die an diesem Schalter abfallende Spannung ausreicht, um dessen Diode durchzuschalten, wird die Diode D5 ebenfalls durchgeschaltet. Ab diesem Zeitpunkt teilt sich nach Abb. 34 (b) der Stromfluss zum einen über D5 & T2 und zum andern über T6, T3 & D3 auf beide Mittelpunktpfade auf. Da im Gegensatz zum oberen im unteren Brückenweig beide Schalter T3 & T6 geschlossen sind, fällt der Widerstand in diesem unteren Brückenweig geringer aus als im oberen. Hierdurch wird sich ein größerer Anteil des Freilaufstromes im unteren Brückenweig einstellen. Nach einer weiteren speziell in dieser Modulationsstrategie eingeführten Verzögerungszeit T_{SSLD} wird dann der Schalter T2 ausgeschaltet, um von dem transienten O_{out+} Zustand in den O^+ Zustand zu wechseln. Da sich während des O_{out+} Zustandes der größere Stromfluss im unteren Brückenweig einstellt, fallen die Schaltverluste bei diesem Ausschaltvorgang von T2 geringer aus als bei einem harten Schaltvorgang. Nach dem Ausschalten von T2 kommutiert der Stromfluss dann vollständig weg vom oberen hin zum unteren Mittelpunktzweig. Sobald dieser Kommutierungsvorgang abgeschlossen ist, kann der Schalter T1 verlustlos eingeschaltet werden. Die Schaltung befindet sich nun im dem in Abb. 34 (a) dargestellten Zustand O^+ .

Das Umschalten vom Freilaufzustand O^+ zurück zum aktiven Zustand P erfolgt ohne zusätzlichen transienten Zwischenzustand. Genau wie bei der ANPC-12-Strategie wird hier zunächst T3 verlustlos aus- und nach der Verzögerungszeit t_{delay} T2 hart eingeschaltet.

Entsprechen erfolgt die Schaltabfolge N, O_{out-} , O^- , N während der neg. Halbwelle. Durch die ANPC-SSLD-Ansteuerungsstrategie fallen die Einschaltverluste genau wie bei der ANPC-12-Strategie vollständig an den inneren Schaltern T2 & T3 an. Gleichzeitig werden die Ausschaltverluste durch die transienten Zustände O_{out} zu einem Großteil auf die äußeren Schalter verschoben. Da sich der Stromfluss in den O_{out} Zuständen jedoch auf beide Mittelpunktzweige der Schaltung aufteilt, bleibt ein kleiner Teil der Ausschaltverluste an den inneren Schaltern erhalten.

Zur Erzeugung der ANPC-SSLD-Steuersignale werden identische Träger und Referenzsignale wie bei den konventionellen ANPC-Modulationsstrategien verwendet. Zusätzlich dazu werden zur Erzeugung der transienten O_{out} Zustände für die Schalter T1 & T4 Einschaltverzögerungs- und für die Schalter T2 & T3 Ausschaltverzögerungsbausteine mit der Verzögerungszeit T_{SSLD} benötigt. Mithilfe dieser Bausteine und logischen Vergleichsoperatoren lässt sich das Schaltmuster der ANPC-SSLD-Strategie nach Abb. 38 erzeugen.

Wahrheitstabelle:

Brückenspannung ($U_{\text{Brücke}}$)	Schaltzustand	T1.1	T1.5	T1.2	T1.3	T1.6	T1.4
$U_{\text{zWK}}/2$	P	1	0	1	0	1	0
0	0_{out}^+	0	0	1	1	1	0
0	0_2^+	1	0	0	1	1	0
0	0_2^-	0	1	1	0	0	1
0	0_{out}^-	0	1	1	1	0	0
$-U_{\text{zWK}}/2$	N	0	1	0	1	0	1

Tab. 13: Logiktablelle der Modulationsstrategie ANPC-SSLD

Schaltmusterübersicht:

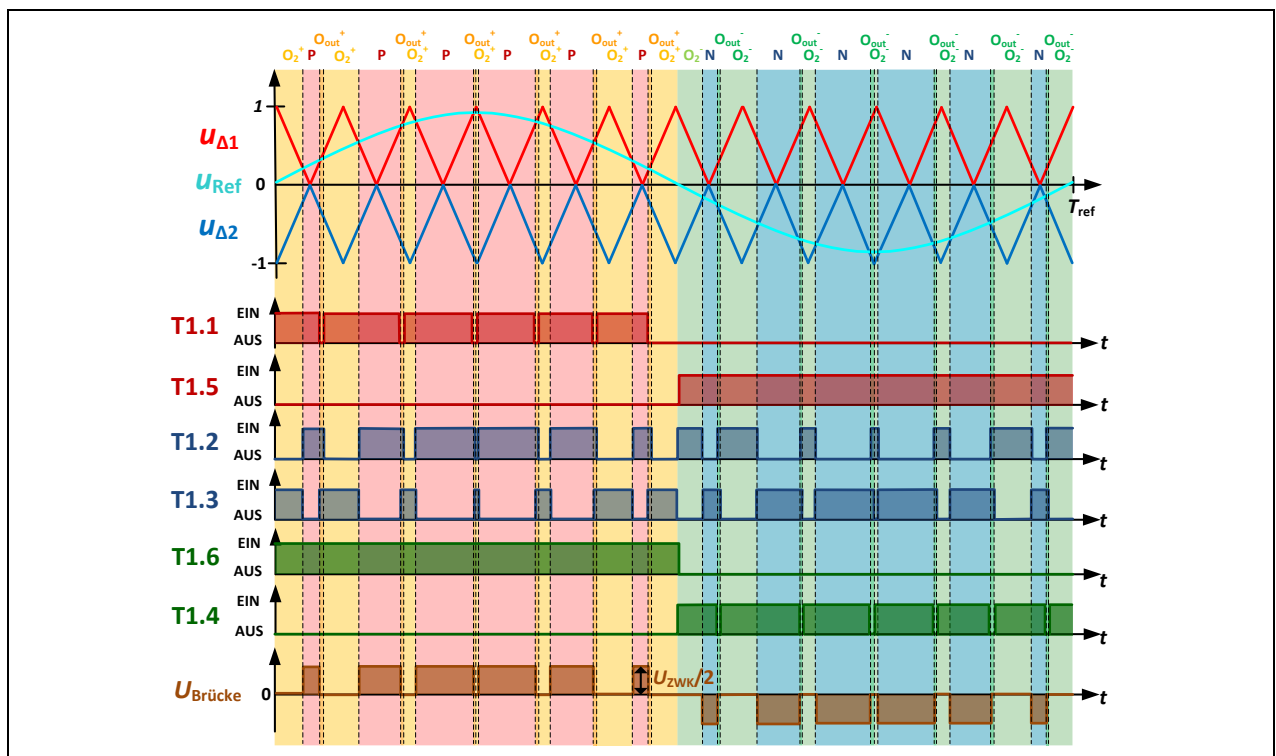


Abb. 38: Grafische Darstellung der Schaltzustände der Leistungshalbleiter sowie des Träger- und Referenzsignals für die Modulationsstrategie ANPC-SSLD

Vorteile:

Wie bereits beschrieben besteht der Vorteil dieser Modulationsstrategie darin, dass mittels der transienten Schaltvorgänge die Durchlassverluste während des Freilaufzustands von den stärker belasteten inneren auf die Mittelpunkthalbleiter, sowie gleichzeitig die Ausschaltverluste von den inneren auf die äußeren Schalter zu verlagern.

- Verschiebung der Durchlassverluste von den inneren zu den Mittelpunkthalbleitern
- Verschiebung der Ausschaltverluste von den inneren auf die äußeren Schalter

Nachteile:

Obgleich die Schalt- und Durchlassverluste weg von den inneren hin zu den Mittelpunkt- und äußeren Schaltern verlagert werden, bleiben neben den leicht abgesenkten Durchlassverlusten sowohl die gesamten Ein- als auch ein Teil der Ausschaltverluste weiterhin an den inneren Schaltern erhalten. Hinzu kommt, dass bei der ANPC-SSLD-Strategie zusätzliche Ein- und Ausschaltverzögerungsbausteine in die Ansteuerungsstrategie integriert werden müssen. Dies führt zu einem erhöhten Implementierungsaufwand dieser Strategie. Des Weiteren wird auch bei dieser Strategie keine Verdopplung der Schalter-Schaltfrequenz am Brückenausgang erreicht, wie es bei der ANPC-DF-Strategie der Fall ist. Zusätzlich dazu wurden auch bei der ANPC-SSLD-Strategie nach der Messung in Abschnitt 4.4.4, Abb. 60 und Anhang 9.7, Tab. 25 deutliche Überspannungen im Bereich des Nulldurchgangs für $\cos(\varphi)$ Werte von 0.9 bis 0 gemessen.

- Sowohl die gesamten Ein- als auch ein Teil der Ausschaltverluste fallen weiterhin an den inneren Schaltern an. Hinzu kommen die Durchlassverluste, die ebenfalls fast ausschließlich an den inneren Halbleitern anfallen.
- Die Ansteuerung enthält zusätzliche Ein- und Ausschaltverzögerungen
→ Implementierungsaufwand steigt.
- Doppelte Ansteuerungsfrequenz f_s wie bei ANPC-DF erforderlich, um THD-Qualität von ANPC-DF zu erreichen.
- Parasitäre Überspannungen im Bereich des Nulldurchgangs für $\cos(\varphi) = 0.9 - 0$

3.8 Optimierung von dreiphasigen S-PWM-Modulationsstrategien durch Injektion der 3. Harmonischen

In der Abb. 39 sind drei synchrone um 120° phasenverschobene, sinusförmige Referenzsignale eines am Energienetz angeschlossenen Wechselrichters mit dem Modulationsindex $M = 1$ dargestellt. Dazu ist das zur Schaltmustererzeugung erforderliche dreieckförmige Trägersignal dargestellt. Es wird ersichtlich, dass die Amplituden der Referenzsignale in diesem Zustand nicht weiter erhöht werden können, da eine weitere Erhöhung zu einem Verlust von Pulsen im Bereich der Maxima und Minima der Referenzsignale führt. [14, p. 122 f.]

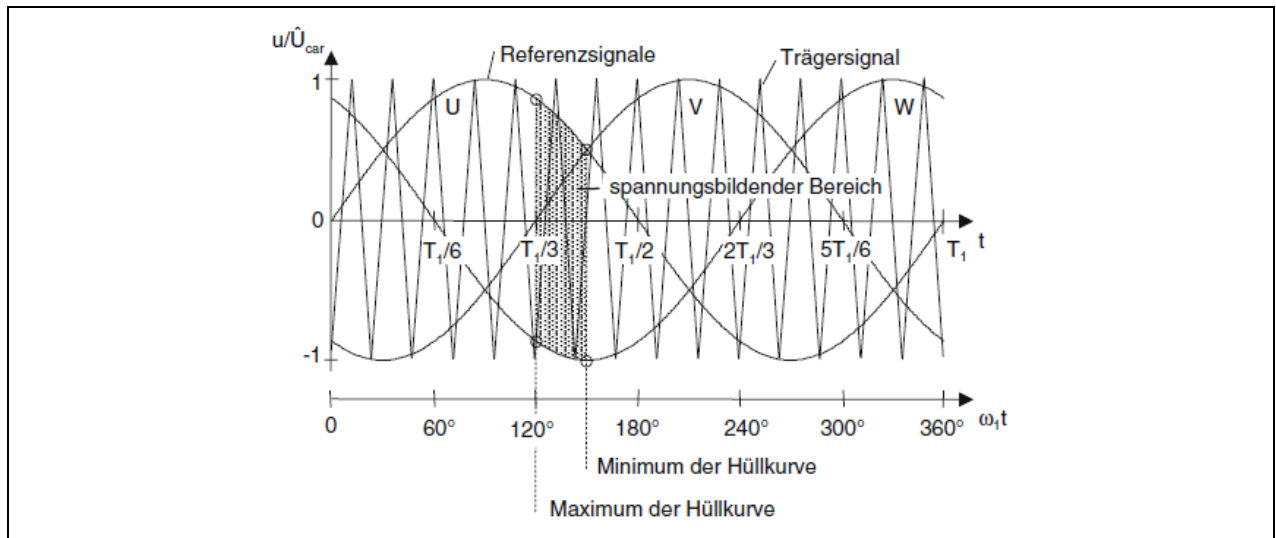


Abb. 39: Darstellung des von den Referenzsignalen einhüllenden Trägersignals [14, p. 122]

Wird am Ausgang eines Wechselrichters eine sinusförmige verkettete Brückenausgangsspannung sowie eine gleichbleibende Amplitude und Frequenz, jedoch kein sinusförmiger Verlauf der Strangspannungen gefordert, kann durch das Aufmodellieren der 3. Harmonischen auf jedes der Referenzsignale der Modulationsgrad ohne Pulsverlust von $M = 1$ auf bis zu:

$$M_{max,3.Harm} = \frac{2}{\sqrt{3}} = 1,155 \quad (15)$$

gesteigert werden [14, p. 123]. Der maximal nutzbare Bereich der linearen Ansteuerung kann somit um über 15% vergrößert werden. Dies wird erreicht, indem die Bereiche, in welchen die Hüllkurven im Trägerband minimal ausfallen, vergrößert und gleichzeitig die Hüllkurven Maxima beibehalten werden. Daraus folgt, dass die Referenzsignale nach Abb. 39 in den Bereichen 30° , 150° und 270° nach oben und gleichzeitig in den Bereichen 90° , 210° und 330° nach unten verschoben werden müssen. Zusätzlich dazu müssen die Maxima bei 0° , 60° , 120° , 180° , 240° , 300° und 360° beibehalten werden. Diese Voraussetzung wird erfüllt, indem auf jedes der Referenzsignale eine zusätzliche Schwingung mit $1/6$ der Amplitude und der dreifachen Frequenz der Grundschiwingung aufmodelliert wird. Durch die strangweise Addition von Grundschiwingung und der 3. Harmonischen ergeben sich drei neue modifizierte Referenzsignale nach Abb. 40 [14, p. 123 f.]

Im Gegenzug zu dem erhöhten Modulationsindex ergibt sich durch den Anteil der 3. Harmonischen auch ein erhöhter Anteil an Oberschwingungen in den separaten Strangspannungen u_u , u_v und u_w . Allerdings heben sich diese zusätzlichen Oberschwingungen in den verketteten Spannungen wieder auf und wirken sich sogar positiv auf den gesamt THD-Wert der verketteten Spannungen aus [14, p. 124 f.].

Durch die Injektion der 3. Harmonischen auf das für die S-PWM-Strategien eingesetzte Referenzsignal, kann somit die Form der Leiter-Leiter-Spannung beibehalten werden und es verändert sich lediglich die Form der Leiter-Null-Spannung. Somit eignet sich die Injektion der 3. Harmonischen besonders für den Mittelspannungsbereich. Aufgrund dessen sollte in einer weiterführenden Thesis-Arbeit untersucht werden, ob sich die Injektion der 3. Harmonischen mit sämtlichen in dieser Arbeit untersuchten S-PWM-Strategien kombinieren lässt und wie sich die Kombination der beiden Techniken auf die Funktionsweise von ANPC-Umrichtern auswirken.

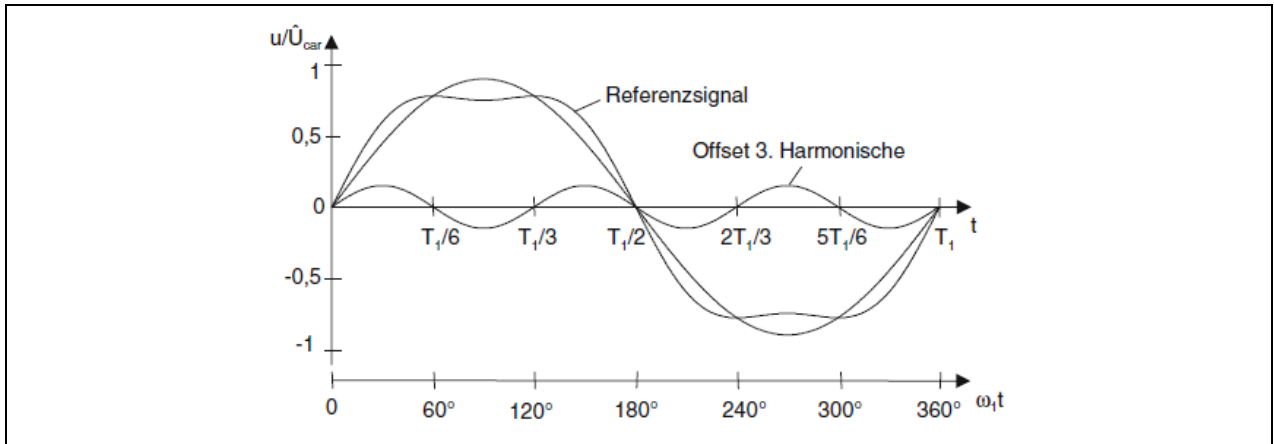


Abb. 40: Neu erzeugtes Referenzsignal durch Injektion der 3. Harmonischen [14, p. 124]

3.9 Grundlagen der Raumzeigermodulation

Bei der Raumzeiger oder Space-Vector-Pulsweitenmodulation (SV-PWM) handelt es sich um ein alternatives Rechenverfahren zur Ansteuerung von dreiphasigen Umrichter-Systemen. Dabei werden die Ansteuerungszeitpunkte der Leistungshalbleiter dieses dreiphasigen Systems nicht wie bei der S-PWM für jede Phase separat, sondern für alle Phasen gleichzeitig durch eine gemeinsame Berechnung festgelegt [14, p. 128].

Im Allgemeinen beschreibt die Space-Vector-Modulation das rotierende elektrische Drehfeld am Ausgang eines dreiphasigen Wechselstromsystems. Um dieses zu beschreiben wird eine synchrone Ausgangslast angenommen und jedem der drei Umrichter-Ausgänge U, V, W ein feststehender um 120° verschobener komplexer Spannungszeiger $u_u(t)$, $u_v(t)$ und $u_w(t)$ zugeordnet. Durch die vektorielle Addition der drei Augenblickswerte dieser Spannungszeiger wird der rotierende Raumzeiger $\underline{u}(t)$ nach Formel (16) gebildet, welcher mit konstanter Geschwindigkeit in mathematisch positiver Drehrichtung um den Mittelpunkt der durch U, V, und W aufgespannten Ebene rotiert [14, p. 128 f.]. Für die bildliche Darstellung wird dieser Raumzeiger zusätzlich durch den Faktors $2/3$ auf die Länge der Spannungsamplituden der Phasen U, V und W normiert [16, p. 293]. Der Raumzeiger $\underline{u}(t)$ stellt somit keine physikalische, sondern lediglich eine mathematische fiktive Größe des Systems dar.

$$\underline{u}(t) = \frac{2}{3} * [\underline{a} * u_u(t) + \underline{a}^1 * u_v(t) + \underline{a}^2 * u_w(t)] , \text{ mit } \begin{cases} \underline{a} = 1 \\ \underline{a}^1 = e^{j\frac{2}{3}\pi} \\ \underline{a}^2 = e^{j\frac{4}{3}\pi} \end{cases} \quad (16)$$

Bei der Anwendung der Space-Vector-Modulation für einen Netzumrichter wird die Versorgungsnetzspannung mithilfe dieser mathematischen Operation als Raumzeiger $\underline{u}(t)$ dargestellt. Dieser „Referenzraumzeiger“ enthält somit die Information über Frequenz und Amplitude der zu modellierenden Ausgangsspannung und wird bei der SV-PWM anstelle eines Sinus-Referenzsignals zur Generierung der Ansteuerungssignale der Leistungshalbleiter genutzt [33, p. 11].

Dieser Referenzraumzeiger muss nun durch die am Brückenausgang zur Verfügung stehenden Brückenausgangsspannungen nachgebildet werden, um ein Pulsmuster zu generieren, welches die gewünschte Netzspannung und Frequenz als Grundschwingung enthält. Bei einer dreiphasigen zweistufige Halbbrückenschaltung, nach Abschnitt 2.4.1, stehen hierfür bei den beiden möglichen Schaltzustände P und N, pro Phase $2^3 = 8$ Brückenausgangszustände zur Verfügung. Diese acht möglichen Zustände sind in Tab. 14 aufgelistet.

Raumzeiger	Schaltzustand der Brücken	Raumzeiger		
		u_{α} / u_d	u_{β} / u_d	$ u / u_d$
SV_0	N-N-N	0	0	0
SV_1	P-N-N	2/3	0	2/3
SV_2	P-P-N	1/3	$\sqrt{3}/3$	2/3
SV_3	N-P-N	-1/3	$\sqrt{3}/3$	2/3
SV_4	N-P-P	-2/3	0	2/3
SV_5	N-N-P	-1/3	$-\sqrt{3}/3$	2/3
SV_6	P-N-P	1/3	$-\sqrt{3}/3$	2/3
SV_7	P-P-P	0	0	0

Tab. 14: Raumzeiger in dreiphasiger zweistufiger Halbbrückenschaltung [14, p. 132]

Aus diesen acht Schaltzuständen ergeben sich acht Spannungen bzw. die sieben in Abb. 41 unterstrichen dargestellten Raumzeiger.

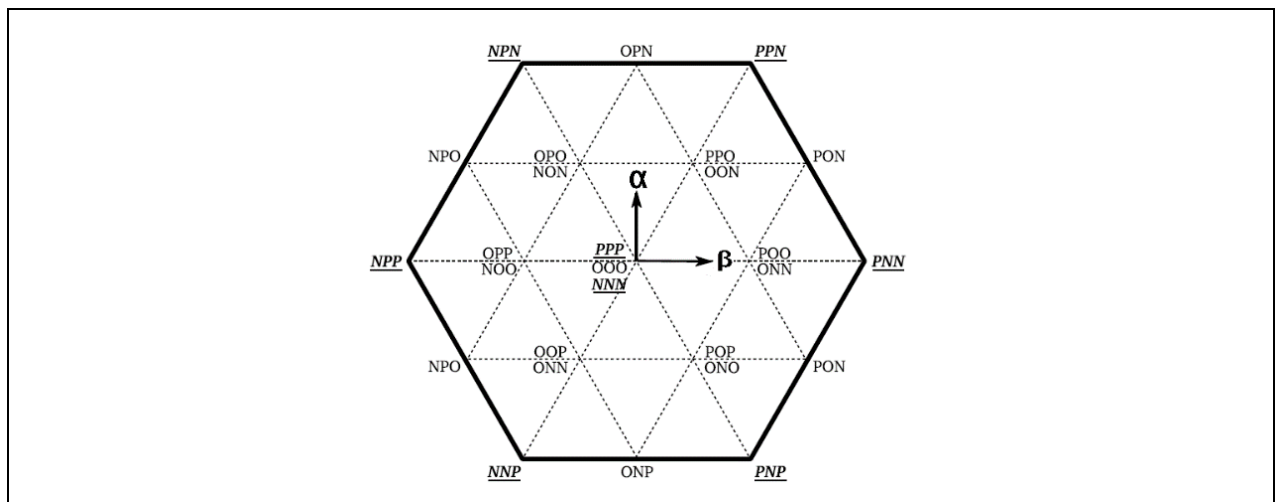


Abb. 41: Raumzeiger einer dreiphasigen zweistufigen Halbbrückenschaltung (unterstrichen) und Raumzeiger einer dreiphasigen dreistufigen NPC-Schaltung [15, p. 10]

Um den Referenzraumzeiger in seiner kontinuierlichen Kreisbewegung nachzubilden, müssen jeweils zwei benachbarte Raumzeiger der Abb. 41 in zeitlichen Abständen am Brückenausgang angelegt werden. Soll beispielsweise der Raumzeiger genau zwischen SV_1 und SV_2 am Brückenausgang nachgebildet werden, müssen Raumzeiger SV_1 und SV_2 jeweils im exakt gleichen zeitlichen Verhältnis abwechselnd am Brückenausgang erzeugt werden. Durch diese Pulsweitenmodulation der sieben Raumzeiger kann so im zeitlichen Mittel jeder beliebige auf der Kreisbahn liegende Raumzeiger erzeugt werden [16, p. 299].

Wird anstelle der Halbbrückenschaltung eine dreiphasige NPC-Schaltung eingesetzt, erhöht sich die Anzahl der möglichen Schaltzustände auf $3^3 = 27$ und die Anzahl der Raumzeiger nach Abb. 41 auf 19. Die gestiegene Anzahl an redundanten Schaltzuständen können bei der SV-PWM genau wie bei der S-PWM zur Minimierung von Oberschwingungen oder zur Verteilung der Schaltverluste eingesetzt werden.

Da die Bestimmung der Pulsbreite bei der SV- und S-PWM äquivalent gelöst wird, lassen sich nach [14, p. 139 ff.] viele SV-PWM-Strategien direkt in trägerbasierte Modulationsverfahren mit identischen Ergebnissen überführen. Allerdings

besitzt die SV-PWM durch den Wegfall des Trägersignals erhöhte Freiheitsgrade bei der Erzeugung der Pulssequenz, sowie bei der Pulspositionierung. Diese zusätzlichen Freiheitsgrade können ebenfalls für weitere Optimierungen der SV-PWM Umrichter Ansteuerungsstrategien genutzt werden.

Es zeigt sich, dass die SV-PWM im Vergleich zur S-PWM eine erhöhte Anzahl an Freiheitsgraden bei der Ansteuerung der Halbleiter besitzt. Gleichzeitig erfolgt die Berechnung der Ansteuerungssignale nicht mehr für jede Phase separat, sondern wird mit einer einzigen mathematischen Operation durchgeführt. Aufgrund dieser Vorteile erscheint es lohnenswert das SV-PWM-Verfahren im Zusammenhang mit der ANPC-Umrichter-Ansteuerung zukünftig näher zu untersuchen. Da es sich bei der SV-PWM jedoch, wie in diesem Abschnitt beschrieben, um ein eigenes komplexes Themengebiet handelt, das stark von der S-PWM abweicht, wird es in der vorliegenden Arbeit an dieser Stelle nicht weitergehend untersucht.

4. Simulation verschiedener Modulationsstrategien für dreiphasige ANPC-Wechselrichter

Im folgenden Kapitel wird zunächst der Aufbau der leistungselektronischen- dreiphasigen- ANPC-Wechselrichterschaltung in der Simulationssoftware PLECS beschrieben. Daran anschließend wird dargestellt, wie die verschiedenen, in Abschnitt 3.1 bis 3.7 vorgestellten, Modulationsstrategien für die Ansteuerung der Leistungshalbleiter in die aufgebaute PLECS-Simulation implementiert werden. Im nächsten Schritt wird definiert, welche Messungen für die verschiedenen Modulationsstrategien in der aufgebauten Simulation durchgeführt werden. Zudem wird beschrieben, wie diese Messungen in der PLECS-Simulation realisiert werden. In einem weiteren Kapitel wird die Durchführung dieser Simulationen beschrieben. Im Anschluss daran werden die gemessenen Simulationsergebnisse vorgestellt. Anhand dieser Simulationsergebnisse wird im nächsten Schritt bestimmt, welche Modulationsstrategie sich für welchen Anwendungsfall optimal einsetzen lässt. Abschließend werden anhand dieser Klassifizierungen drei Modulationsstrategien ausgewählt, die für den Einsatz in einem Mittelspannungsdirektumrichter als sinnvoll erscheinen.

4.1 Elektrische Simulation der leistungselektronischen- dreiphasigen- ANPC-Wechselrichterschaltung in PLECS

Um die leistungselektronische Schaltung der dreiphasigen ANPC-Wechselrichterschaltung zu simulieren, wird die Software PLECS Standalone V4.2.6 der Firma Plexim GmbH eingesetzt. Mithilfe dieser Software können dynamische leistungselektronische Systeme modelliert und im Zeitbereich simuliert werden. Um lange Rechenzeiten zu vermeiden, die aufgrund von steilen Flanken bei extrem schnellen transienten Schaltvorgängen entstehen, werden bei der PLECS-Simulation für die Halbleiter „verhaltensbasierte“ Modelle eingesetzt. Diese „verhaltensbasierten“ Modelle bestehen im Kern aus einem idealen Schalter, welcher für die grundlegende elektrische Simulation genutzt wird. Hierdurch wird die Berechnungszeit erheblich verkürzt. Um weitere dynamische parasitäre Effekte während der Berechnungslaufzeit in die Berechnung miteinzubeziehen, können ergänzend dazu mehrdimensionale Lookup-Tabellen in den einzelnen Bauteilen hinterlegt werden [34, p. 25], [35]. Um in der späteren Simulation Effekte wie das Reverse-Recovery-Verhalten sowie Schalt- und Durchlassverluste der eingesetzte 900V SiC-Power MOSFETs von Typ C3M0120090D zu bestimmen, werden für sämtliche Leistungshalbleiter nach dem Datenblatt [36] die Verlustmodelle E_{on} , E_{off} und E_{cond} nach Anhang 9.1 verwendet.

Um die verschiedenen in Abschnitt 3.1 bis 3.7 vorgestellten Modulationsarten für den Betrieb in einem dreiphasigen ANPC-Wechselrichter zu simulieren, wird zunächst die in Abschnitt 2.5.2 beschriebene leistungselektronische Schaltung aus Abb. 18 bis Abb. 21 dreiphasig, nach Abb. 42, in einem neuen PLECS-Projekt aufgebaut. Für die drei nebeneinander angeordneten ANPC-Schaltungen werden somit jeweils sechs Halbleiterschalt Elemente bestehend aus einem MOSFET und einer antiparallelen Diode modelliert und mit dem erstellten Verlustmodell C3M0120090D versehen. Somit besteht die gesamte modellierte leistungselektronische Schaltung aus 18 Leistungselementen, die nach der in 2.5.2 festgesetzten Nomenklatur beschriftet werden. Die Ausgänge der drei ANPC-Schaltungen Output L1 bis Output L3 werden aus der leistungselektronischen Schaltung herausgeführt und direkt mit dem LCL-Filter aus Abb. 43 verbunden. Die Energiequelle und der DC-Zwischenkreis auf der Eingangsseite des Wechselrichters werden in dem erstellten PLECS-Modell idealisiert und als zwei reale in Reihe geschaltete Spannungsquellen U_{zWK_DC1} und U_{zWK_DC2} mit den Innenwiderständen R_{zWK1} und R_{zWK2} modelliert. Der Mittelpunkt dieser beiden realen Spannungsquellen wird aus dem Umrichter herausgeführt und über den LCL-Filter mit der Last aus Abb. 44 verbunden. Um lange thermische Einschwingvorgänge zu verhindern, werden die 18 in Abb. 42 vorhandenen Leistungshalbleiter mit einer Wärmeplatte verbunden und über einen lila dargestellten Wärmekreislauf durch eine Wärmequelle zu Beginn der Simulation nahezu sprunghaft auf Betriebstemperatur gebracht.

Um die Ansteuerung der MOSFETs für verschiedene Modulationsstrategien zu simulieren, wird an jedem MOSFET-Gate ein dreieckiger Sprungmarker angeschlossen. Hierdurch können später, je nach gewünschter Ansteuerungsstrategie,

die benötigten Ansteuerungsimpulse an die entsprechenden Sprungmarker übergeben werden. Die für die Simulation eingesetzten Werte für die Zwischenkreisspannung, den Innenwiderstand der Quellen und die Betriebstemperatur können aus Tab. 15 auf Seite 79 entnommen werden.

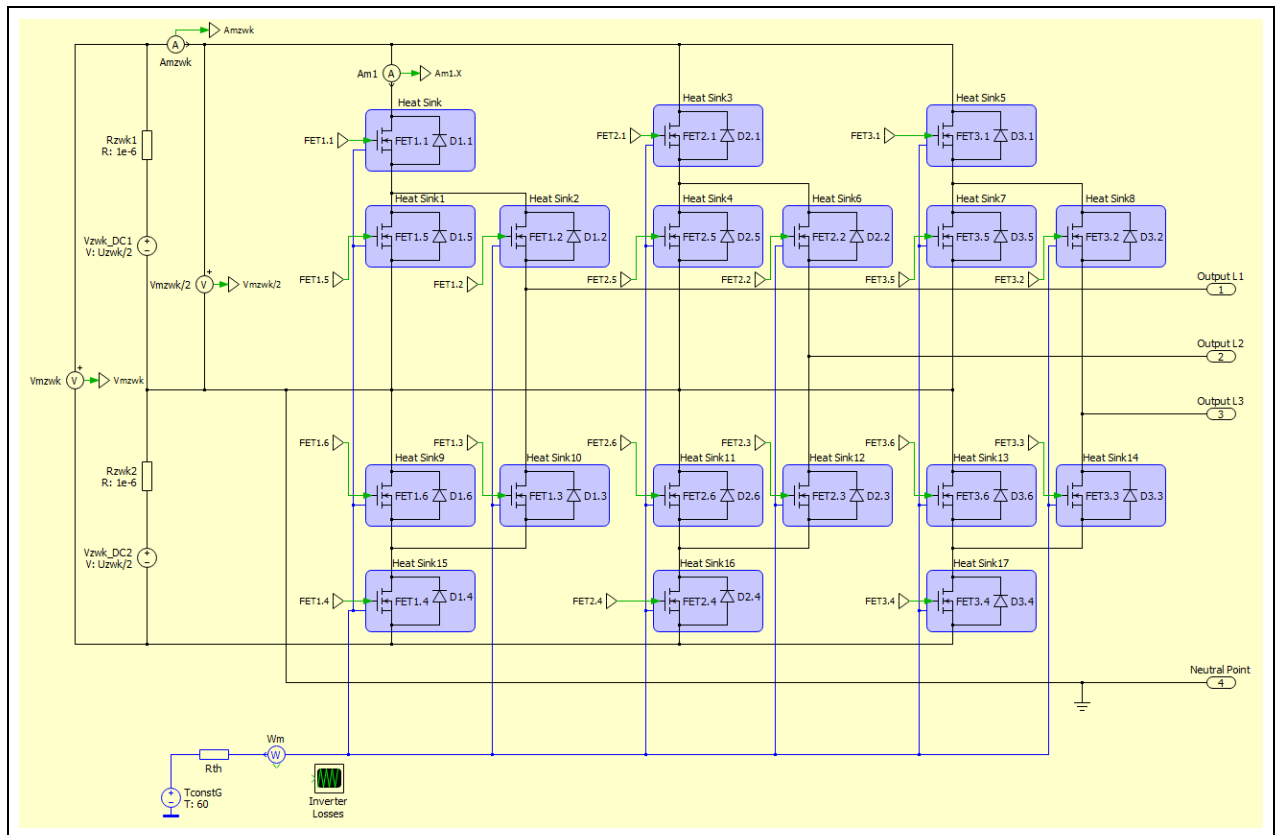


Abb. 42: PLECS-Modellierung für die leistungselektronische Schaltung eines dreiphasigen ANPC-Wechselrichters

Die modellierte leistungselektronische Schaltung wird direkt an den nach Abb. 43 modellierte LCL-Filter angeschlossen. Dabei werden für die umrichterseitigen Filter-Induktivitäten, die Filter-Kapazitäten und die netzseitigen Filter-Induktivitäten nach Formel (7) und (8) berechneten Werte aus Tab. 15 auf Seite 79 als Simulationsparameter eingesetzt.

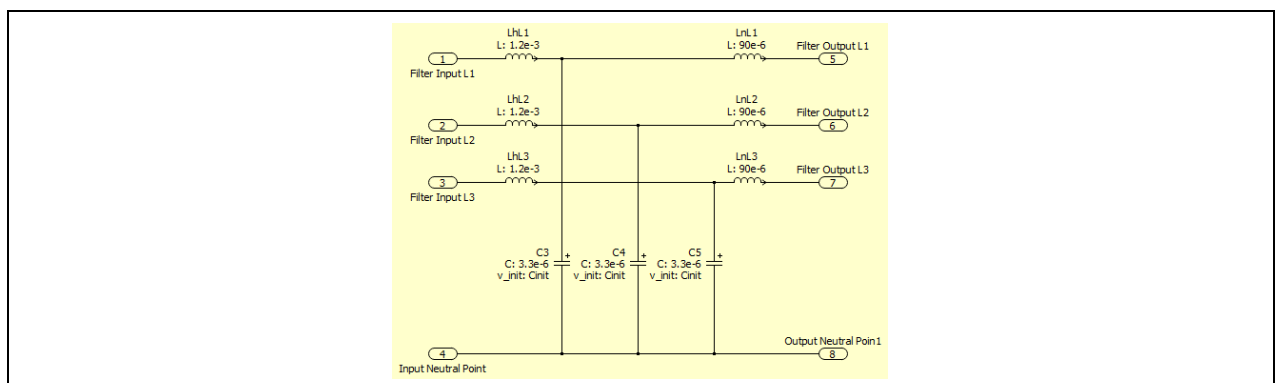


Abb. 43: PLECS-Modellierung für einen dreiphasigen LCL-Filter am Ausgang der leistungselektronischen Schaltung des ANPC-Wechselrichters

Um verschiedene netzseitige Lastfälle zu simulieren, wird nach Abb. 44 am Ausgang des Umrichters eine variable dreiphasige ohmsch-induktive Last modelliert. Die entsprechenden Werte für die ohmschen Anteile R der Last bei verschiedenen Lastzuständen des Umrichters können aus Tab. 17 im Anhang 9.2 entnommen werden. Sollen dagegen verschiedene Leistungsfaktoren simuliert werden, werden für die Berechnung der entsprechenden ohmschen und induktiven R und L Anteile die Formeln (17) und (18) verwendet. Die sich für die zu simulierenden Arbeitspunkte daraus ergebenden R und L Werte sind in Anhang 9.3, Tab. 18 aufgelistet.

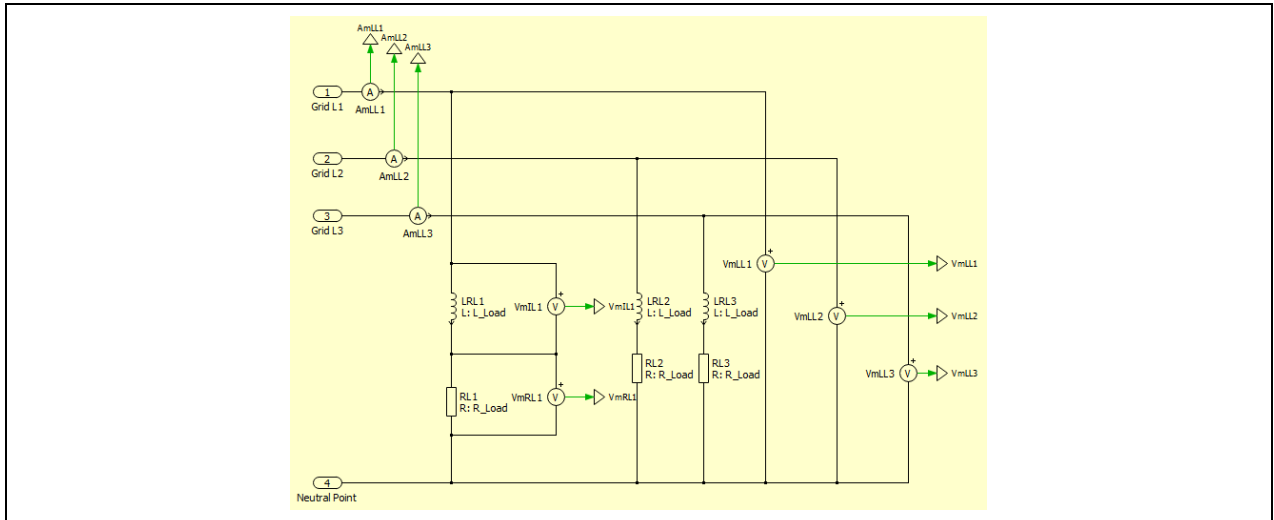


Abb. 44: PLECS-Modellierung für eine dreiphasige Netzlast

$$R = \frac{U_n^2}{S_n} * \cos \varphi \quad (17)$$

$$L = \frac{U_n^2}{2 * \pi * f * S_n} * \sin(\varphi) , \quad \text{mit } \sin(\varphi) = \sin(\cos(k)^{-1}) \quad (18)$$

Alle weiteren wichtigen in der PLECS-Simulation eingesetzten Simulationsparameter für den simulierten dreiphasigen ANPC-Wechselrichter sind ebenfalls in Tab. 15 dokumentiert.

Simulationsparameter	Symbol	Wert
DC-Link Spannung	U_{zwk}	700 V
Zwischenkreisspannung	$U_{\text{zwk}/2}$	325 V
Innenwiderstand der Quellen	R_{zwk}	1 $\mu\Omega$
Gesamt-Nenn-Ausgangsleistung des Umrichters	S_n	4 kVA
Phasen-Ausgangsleistung	$S_{n/3}$	1,333 kVA
Phasen-Ausgangsstrom	$I_{\text{L-N}}$	5,8 A
Ausgangsspannung L-N	U_{Netz}	230 V

Simulationsparameter	Symbol	Wert
Ausgangsfrequenz	f_{netz}	50 Hz
Taktfrequenz am Brückenausgang	f_s	32 kHz
Implementierte Verzögerungszeit	t_{delay}	500 ns
DC-Zwischenkreis-Kondensatoren	$C_{\text{DC1}}, C_{\text{DC2}}$	1680 μF
Umrichterseitige LCL-Haupt-Filter-Induktivität	L_1	1,2 mH
LCL-Filter-Kapazität	C_f	3,3 μF
Netzseitige LCL-Filter-Induktivität	L_{Netz}	90 μH
Gewählte parasitäre Drain-Source-Kapazität	C_{DS}	37 pF
Betriebstemperatur der Halbleiter	T_{init}	60 °C

Tab. 15: Auflistung der in der PLECS-Simulation eingesetzten Simulationsparameter

Um das Verhalten des modellierten dreiphasigen ANPC-Wechselrichters bei variierender Modulationsstrategien und Ausgangslasten zu untersuchen, werden in das elektrische PLECS-Modell diverse Messstellen eingebaut.

Hierfür werden zunächst am Eingang des Wechselrichters die in Abb. 42 zu sehenden Strommessgeräte zur Messung des Gesamt- und Strangeingangsstromes in die Schaltung integriert, sowie die Strommessgeräte in Abb. 44 zur Messung der Strang Ausgangsströme jedes Netzaußenleiters. Dazu kommen diverse Spannungsmessgeräte. Mit diesen wird nach Abb. 42 die gesamte DC-Link Spannung U_{zwk} gemessen, sowie die Zwischenkreisspannung $U_{\text{zwk}/2}$. Zudem werden nach Abb. 44 drei Spannungsmessgeräte zur Ermittlung der Leiter-Erde-Spannung U_{Netz} zwischen den Außenleitern L1, L2, L3 und dem Umrichter-Mittelpunkt eingebaut. Um zwischen umgesetzter Wirk-, Blind- und Scheinleistung zu unterscheiden, werden zwei zusätzliche Spannungsmessgeräte über dem ohmschen und induktiven Lastanteil nach Abb. 44 in das Modell integriert. Mithilfe dieser Spannungs- und Strom-Messstellen können durch den Messaufbau aus Anhang 9.4 die Wirk-, Blind-, und Scheinleistungen errechnet werden, wodurch gleichzeitig der Wirkungsgrad für einen Strang der leistungselektronischen Schaltung bestimmt werden kann.

Zur Ermittlung der Schalt-, Durchlass- und Gesamtverluste der Leistungshalbleiter werden über das Untersystem nach Abb. 45 mithilfe der Probe Bausteine FET1.1 und D1.1, anhand der in den Bauteilen hinterlegten „verhaltensbasierten“ Modellen C3M0120090D, die Schalt- und Durchlassverluste des MOSFETs 1.1 und der Diode 1.1 erfasst. Diese werden über die Bausteine Periodic Average und Periodic Impulse Average jeweils für den Zeitintervall $1/f_s$ gemittelt ausgegeben. Um die Schalt-, Durchlass- und Gesamtverluste für alle in der Wechselrichterschaltung enthaltenen Halbleiter zu erfassen, müssen die Berechnungen nach Abb. 45 für jeden der 18 in der Simulation enthaltenen Leistungshalbleiter hinterlegt werden.

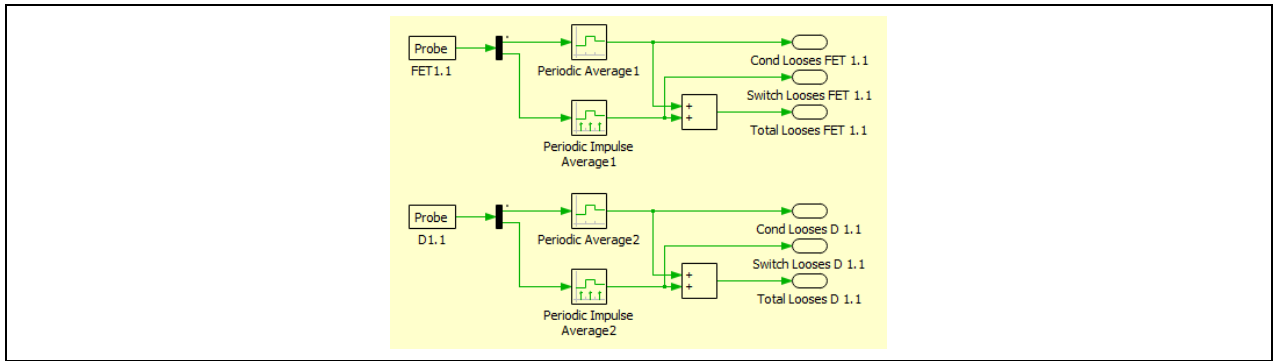


Abb. 45: Messstelle zur Ermittlung der Schalt-, Durchlass- und Gesamtverluste eines Leistungshalbleiters

Um den Einfluss von parasitären Drain-Source-Kapazitäten der Leistungshalbleiter für die verschiedenen Modulationsstrategien zu untersuchen, wurde ein zweites abgewandeltes Simulationsmodell erstellt. Die Basis hierfür stellt das in Abb. 42 bis Abb. 44 beschriebene dreiphasige ANPC-Wechselrichter Modell dar. Ergänzend dazu wurde nach Abb. 46 in das Modell des Leistungsschalters neben der antiparallelen Diode ein Kondensator parallel zum MOSFET eingebaut. Dieser soll die in der Realität spannungsabhängige Drain-Source-Kapazität der MOSFETs vereinfacht als statische Kapazität nachbilden. Aufgenommen wird bei diesem Simulationsaufbau lediglich die Drain-Source-Spannung der einzelnen MOSFETs. Zur Beschleunigung der Simulationsberechnung wurde alle weiteren Messstellen aus dem Modell entfernt. Der einzusetzende Wert für C_{DS} kann mittels der Formel (19) und den Werten aus Datenblatt [36] ermittelt werden. Der ausgerechnete C_{DS} Wert für das erstellte PLECS-Modell ist in Tab. 15 angegeben.

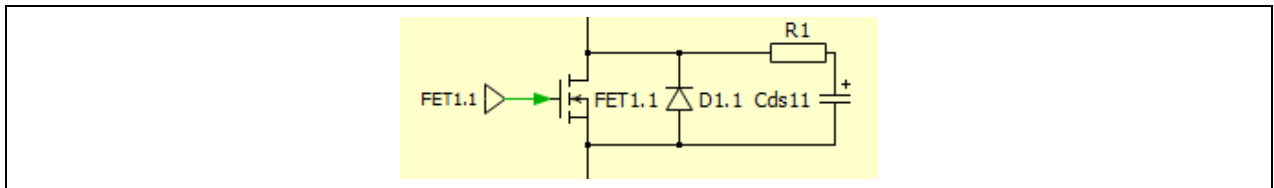


Abb. 46: PLECS-Modellierung der parasitären Drain-Source MOSFET Kapazitäten

$$C_{DS} = C_{oss} - C_{rss} \quad (19)$$

4.2 Implementierung der Halbleiter-Ansteuerungsstrategien

Um die Ansteuerung der leistungselektronischen Schaltung des modellierten dreiphasigen ANPC-Wechselrichters mit den verschiedenen in Abschnitt 3.1 bis 3.7 vorgestellten Modulationsstrategien zu realisieren, wird in PLECS für jede dieser Ansteuerungsstrategien ein individueller Ansteuerungscontroller programmiert. Der Aufbau der sieben erstellten Ansteuerungscontroller wird am Beispiel der in Abschnitt 3.1 beschriebenen Modulationsstrategie ANPC-11-Sync mithilfe der Abb. 47 beschrieben.

Um die ANPC-11-Sync-Strategie zu realisieren, müssen zunächst die benötigten Träger- und Referenzsignale in PLECS erzeugt werden. Hierfür werden in dem dunkelblau markierten Bereich von Abb. 47 ein Sinus- und zwei Dreieckssignale erstellt. Als Werte werden dem Referenzsinussignal die Netzfrequenz f_{netz} , und eine Amplitude von 1 vorgegeben. Den Trägersignalen wird die Schaltfrequenz f_s , ein Spitzen-Spitzenwert von 0 bis 1 bzw. von -1 bis 0 und ein Tastgrad von 0,5 zugewiesen.

Für die Einstellung der Pulsbreite wird im hellblauen Bereich der Modulationsindex M aus Formel (13) nachgebildet. Hierfür wird zunächst die gewünschte Spitzenspannung der ausgangsseitigen Wechselrichterspannung \hat{U}_{AC} durch die halbe Zwischenkreisspannung $U_{ZWK/2}$ geteilt. Anschließend wird dieser Wert nach Formel (13) um das Produkt d_{komp} bestehend aus t_{delay} und $f_{s,out}$ vergrößert, um den Einfluss der Verzögerungszeit der Einschaltvorgänge zu kompensieren. Der errechnete Modulationsindex wird anschließend mit dem Referenzsinussignal multipliziert.

Im lila und rot markierten Bereich von Abb. 47 finden daran anknüpfend die logischen Operationen zur Generierung der Ansteuerungsimpulse statt. Hierfür wird zunächst das angepasste Referenzsignal mithilfe von Komparatoren mit den beiden Dreieck-Trägersignalen verglichen. Ist das Referenzsignal größer als das Trägersignal geben die Komparatoren eine Eins aus, ist es dagegen kleiner wird eine Null ausgegeben. Um zu bestimmen ob sich die Steuerung im Zeitbereich der pos. oder der neg. Halbwelle der Ausgangsspannung befindet, wird ein Größer-Gleich-Baustein verwendet. Dieser vergleicht den Momentanwert des Referenzsinussignals mit der grün markierten Konstante Null. Ist das Referenzsignal größer oder gleich Null, gibt dieser Logikbaustein eine Eins aus, ist das Referenzsignal dagegen kleiner wird eine Null ausgegeben. Mithilfe der beschriebenen Vergleichsoperatoren im lila markierten Bereich lassen sich je nach Ansteuerungsstrategie anschließend durch die Logikoperatoren im rot markierten Bereich, die gewünschten Ansteuerungsimpulse erzeugen.

Um die Verzögerungszeiten in der PLECS-Simulation mit zu simulieren, wird im orange markierten Bereich jedes Ansteuerungssignal mit einem Einschaltverzögerungsbaustein verknüpft, bevor es abschließend im gelb markierten Bereich über ein Sprungmarker an die Gates der MOSFETs weitergegeben wird.

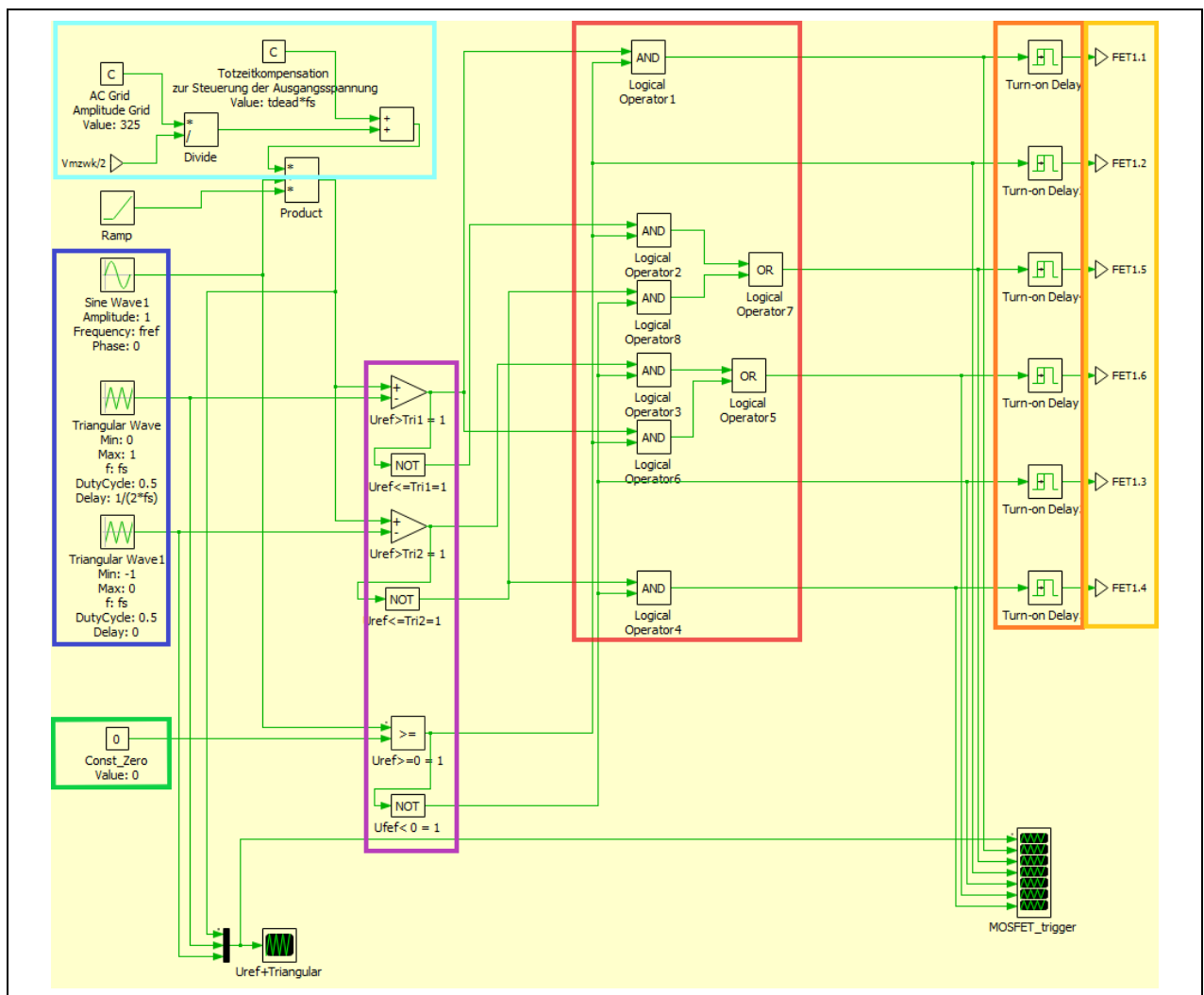


Abb. 47: Aufbau der in PLECS implementierten Ansteuerungscontroller am Beispiel der Modulationsstrategie ANPC-11-Sync

Der beschriebene und in Abb. 47 dargestellte Ansteuerungscontroller steuert die MOSFETs 1.1 bis 1.6 an, wodurch das gewünschte Pulsmuster zur Erzeugung der Ausgangsspannung für die Phase L1 generiert wird. Die Ansteuerungscontroller zur Erzeugung der phasenversetzten Ausgangsspannungen L2 und L3 werden nach dem identischen Schema wie in Abb. 47 aufgebaut. Lediglich beim Referenzsinussignal im dunkelblau markierten Bereich muss der Wert der Phasenverschiebung von 0 auf 120° bzw. 240° angepasst werden. Die weiteren Ansteuerungscontroller für die Simulation der sechs weiteren Modulationsstrategien aus dem Abschnitten 3.2 bis 3.7 werden nach demselben Prinzip aufgebaut wie der in Abb. 47 vorgestellte Ansteuerungsstrategie der ANPC-11-Sync. Die detaillierten Signalpläne für alle sieben Ansteuerungscontroller sind in Anhang 9.5 hinterlegt.

Da die verschiedenen Modelle aller realisierten Ansteuerungscontroller sehr ähnlich aufgebaut sind wird im Folgenden lediglich auf die Besonderheiten einzelner Ansteuerungscontroller eingegangen.

Wie in Abschnitt 3.4 beschrieben wird zur Erzeugung der ANPC-ALD-Strategie zunächst ein zusätzliches Sinus-Referenzsignal benötigt. Hierfür wird in dem im Abb. 47 blau markierten Signalgenerierungsbereich ein zweiter „Sine Wave Block“ mit erhöhter Amplitude aufgenommen. Aufgrund der sich aus den Simulationsparameter nach Tab. 15 ergebenden Modulationsreserve wird für die Amplitude dieses zusätzlichen Referenzsinus U_{Ref1} der Wert 1.05 gewählt. Bei der Amplitude des Referenzsignals U_{Ref2} wird dagegen der Amplitudenwert von Eins beibehalten.

Um bei der ANPC-ALD-Strategie das zeitliche Verhältnis zwischen der Nutzung des Stress-In- und des Stress-Out-Modes einzustellen, wird ein zusätzliches Triggersignal benötigt. Dieses wird nach Abb. 48 (a) mithilfe eines Pulsgenerators erzeugt. Ist der Wert dieses Pulsgenerators Eins, wird der Stress-In-Mode aktiviert, ist er dagegen Null wird der Stress-Out-Mode freigegeben. Die Taktfrequenz dieses Pulsgenerators wird auf $2 \cdot f_{Netz}$ eingestellt und auf den Arbeitspunkt $P = P_N$ und $\cos(\varphi) = 1$ hin optimiert. Hierfür wird durch eine Tastgrad von 0,3 das Verhältnis von 30% Stress-In- und 70% Stress-Out-Mode eingestellt. Die Strategie ANPC-ALD wird somit in den folgenden Simulationen als passive, auf den Nennbetrieb hin optimierte Modulationsstrategie eingesetzt.

Eine weitere Besonderheit muss beim Ansteuerungscontroller der ANPC R2:1-Strategie angewandt werden, um die in Abschnitt 3.5 beschriebenen vier Dreieck-Trägersignale $U_{\Delta 1}$ bis $U_{\Delta 4}$ mit ausgeschnittenen Pulsen zu erzeugen. Die Erzeugung dieser Trägersignale wird am Beispiel des Trägersignals $U_{\Delta 1}$ und Abb. 48 (b) beschrieben. Hier wird zunächst das bereits bekannte Dreiecksträgersignal mit der Frequenz f_s , einer Amplitude von 1 und einem Tastgrad von 0,5 erzeugt. Um im Folgenden jeden dritten Dreieckspuls des periodischen Dreieckssignales abzuschneiden, wird das Dreieckssignal mit dem Signal eines Rechteck-Pulsgenerators multipliziert, welcher mit der Frequenz $f_s/3$ zwischen den Werten 1 und 0 taktet. Indem gleichzeitig der DutyCycle dieses erzeugten Pulses auf $2/3$ eingestellt wird, wird durch die Superpositionierung der beiden Signale, wie gewünscht, jeder dritte Dreieckspuls des erzeugten Trägersignals ausgeschnitten. Mithilfe von drei weiteren Kombinationen, bestehend aus Dreieckspuls und Pulsgenerator, können nach demselben Prinzip die Trägersignale $U_{\Delta 2}$ bis $U_{\Delta 4}$ erzeugt werden.

Als letzte Besonderheit wird zu Erzeugung der ANPC-SSLD-Strategie eine Ausschaltverzögerung benötigt. Diese wird nach Abb. 48 (c) mithilfe eines Monoflop-Bausteins erstellt. Sobald an diesem Monoflop ein Signal mit steigender Flanke angelegt wird, wechselt sein Ausgangszustand von dem Wert Null für die Dauer der Ausschaltverzögerungszeit T_{ssld} auf den Wert 1. Nach der Ausschaltverzögerungszeit wechselt der Ausgangszustand wieder auf Null. Für die folgenden Simulation wird für die Variable T_{ssld} der Wert 100 ns verwendet.

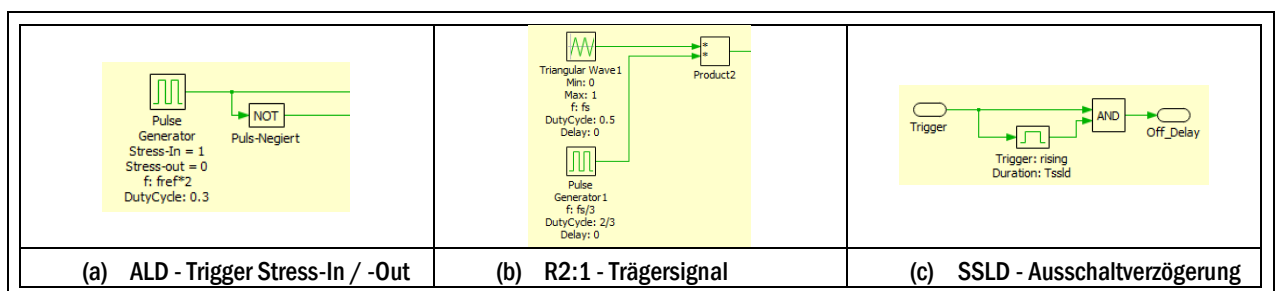


Abb. 48: Besonderheiten im Aufbau der Ansteuerungscontroller ANPC-ALD, -R2:1 und -SSLD

4.3 Definition der durchzuführenden Messungen in der erstellten PLECS-Simulation für die verschiedenen S-PWM-Strategien

Im Folgenden wird auf Basis der in Abschnitt 4.1 und 4.2 erstellten PLECS-Simulation untersucht, wie die verschiedenen Modulationsstrategien das Verhalten des ANPC-Umrichter bei verschiedenen Lasten, Leistungsfaktoren und Verzögerungszeiten beeinflussen. Hierfür werden vier Messungen definiert, die anschließend mit jeder der sieben vorgestellten S-PWM-Strategien durchgeführt werden.

Messszenario (1)

Beim Messszenario eins wird der Einfluss der betriebsbedingten Verzögerungszeit näher untersucht. Dafür wird der Wert der Verzögerungszeit t_{delay} in 100 ns Schritten von 0 auf 1000 ns erhöht. Wie in Abschnitt 2.8 beschrieben, verändert sich durch die Einführung der Verzögerungszeit der Formfaktor des Umrichter-Ausgangssignals und damit auch der Anteil seiner Harmonischen. In [14, p. 35 f.] ist der THD-Wert des Ausgangsstromes nach Formel (20) definiert und stellt ein allgemeines Qualitätskriterium für Stromrichterschaltungen dar. Da die Aufsummierung der Harmonischen Anteile im Allgemeinen von Null bis Unendlich definiert ist, muss für den vorliegenden Fall ein geeignetes Abbruchkriterium dieser Aufsummierung definiert werden. Da der THD-Wert der Ausgangsgrößen nicht nur von den Harmonischen der Netzfrequenz f_{Netz} beeinflusst wird, sondern auch von der Brückenausgangsfrequenz $f_{\text{s,out}}$, wird im Folgenden der Einfluss der 1. Oberschwingung der Brückenausgangsfrequenz in die Untersuchung miteinbezogen. Bei einer simulierten Brückenausgangsfrequenz von 32 kHz wird somit im Folgenden nach Formel (20) die Berechnung für den THD-Wert des Ausgangsstroms nach der eintausendsten Oberschwingung abgebrochen.

$$THD = \sqrt{\sum_{h=2}^{h=1000} \left(\frac{I_h}{I_1}\right)^2} * 100\% \quad (20)$$

Des Weiteren kommt es in der Umrichter-Schaltung während der Verzögerungszeit zwischen den Schaltvorgängen zu Umladungsvorgängen, welche wiederum zu Verlusten führen. Daher werden beim Messszenario (1) zum einem die THD-Werte nach Formel (20) des Umrichter-Ausgangsstroms aufgezeichnet und zum anderen die Halbleiterverluste. Die parasitäre Kapazitäten C_{Ds} sind in diesem Messaufbau nicht enthalten.

Messszenario (2)

Bei Messszenario zwei und drei soll der Umrichter beim Betrieb in verschiedenen Arbeitspunkten untersucht werden. Zu diesem Zweck wird der Umrichter zunächst mit verschiedenen Ausgangslasten belastet. Hierfür werden nach Tab. 17 in Anhang 9.2 ohmschen Wirklasten von 10% bis 100% der Nennlast in 10 Prozentschritten an dem Umrichter angeschlossen. Zusätzlich dazu werden die Arbeitspunkte $P = 5\%$ für eine sehr geringe, sowie $P = 110\%$ für eine leicht überhöhte Belastung untersucht. Aufgezeichnet werden bei dieser Messung der THD-Wert des sich abhängig von der Last einstellenden Ausgangsstroms, sowie die Gesamtverluste und der daraus resultierende Wirkungsgrad des Umrichters nach Formel (21).

$$\eta = \frac{P_{ab}}{P_{ab} + P_v} * 100\% \quad (21)$$

Die parasitäre Kapazitäten C_{Ds} sind in diesem Messaufbau nicht enthalten.

Messsszenario (3)

Im dritten Messsszenario wird der Leistungsfaktor $\cos(\varphi)$ des Umrichters variiert. Der Leistungsfaktor $\cos(\varphi)$ wird dabei in zehntel Schritten von 1 bis auf 0 reduziert. Dafür müssen nach Formel (17) und (18) bzw. Tab. 18 aus Anhang 9.3 die entsprechenden ohmschen und induktiven Lasten an den Ausgang des Umrichters angeschlossen werden. Erneut werden der THD-Wert des Ausgangsstroms, die Gesamtverluste und der Wirkungsgrad aufgezeichnet. Dazu wird die sich aufgrund der Phasenverschiebung zwischen Spannung und Strom entstehenden Umverteilung der Verluste zwischen den verschiedenen Halbleiterbauelementen dokumentiert. Aufgrund der symmetrischen Verlustverteilung in der ANPC-Topologie, genügt es dafür die Verluste in einer Brückenhälfte aufzuzeichnen. Es werden somit die Verluste für die MOSFETs und Dioden 1, 2 und 5 aufgenommen. Zusätzlich dazu werden bei den MOSFETs die Schalt- und Durchlassverluste separiert aufgenommen. Auch bei Messsszenario drei sind die parasitären Kapazitäten C_{DS} im Simulationsaufbau nicht enthalten.

Messsszenario (4)

Im letzten Messsszenario werden die parasitären Kapazitäten C_{DS} in den Simulationsaufbau mitaufgenommen. Mit dem abgeänderten PLECS-Modell werden anschließend erneut in Zehntel-Schritten nacheinander die verschiedenen Arbeitspunkte für die Leistungsfaktoren $\cos(\varphi) = 1$ bis 0 simuliert. Anders als bei den vorherigen Messungen werden bei dieser Simulation jedoch die Drain-Source-Spannungen U_{DS} der MOSFETs 1, 2 und 5 aufgezeichnet. Hierbei soll untersucht werden, ob es bei den verschiedenen Modulationsstrategien, wie in Abschnitt 2.9 beschrieben, bei bestimmten Schalterstellungen oder Schaltreihenfolgen zu Überspannungen an den MOSFETs kommt. Besonders genau werden hierbei die Bereiche der Nulldurchgänge und Maxima betrachtet, da es hier bedingt durch die Verzögerungszeit t_{delay} zum Wegfall von Pulsen und somit zu undefinierten Schaltzuständen und Überspannungen kommen kann.

Um die Durchführung der zahlreichen Simulationen zu automatisieren, wird die Script-Funktion von PLECS genutzt. Durch den Einsatz von verschiedenen Octave-Kommandos, können Simulationen automatisch mit variierenden Parametern gestartet, durchgeführt und gespeichert werden [34, p. 233 ff.]. Der Programmcode der erstellten PLECS-Scripte für die Durchführung der verschiedenen Simulationen mit variablen Verzögerungszeiten, Lasten und Leistungsfaktoren können aus dem Anhang 9.6 entnommen werden.

4.4 Vorstellung und Vergleich der Simulationsergebnisse

In dem folgenden Abschnitt werden die Ergebnisse der PLECS-Simulation von Messsszenario (1) bis (4) grafisch aufbereitet dargestellt und analysiert. Zudem werden die Ergebnisse der verschiedenen Modulationsstrategien miteinander verglichen. Aufgrund des symmetrischen Aufbaus der leistungselektronischen Schaltung sowie der simulierten symmetrischen Last genügt es, im Folgenden die Messergebnisse einer Phase zu betrachten und zu analysieren.

4.4.1 Vergleich der Simulationsergebnisse für verschiedene Verzögerungszeiten – Messsszenario (1)

Bei Messsszenario (1) wird das Verhalten der sieben verschiedenen S-PWM-Strategien in Abhängigkeit von der Verzögerungszeit untersucht. Der Umrichter befindet sich dabei im Arbeitspunkt $S = S_n$ und $\cos(\varphi) = 1$, wodurch sich $S_n = P_n$ ergibt. Dabei wird die Verzögerungszeit t_{delay} von 0 ns bis 1000 ns variiert.

In Abb. 49 sind die Simulationsergebnisse der Gesamtverluste P_V der Leistungshalbleiter in Abhängigkeit der Verzögerungszeit t_{delay} aufgetragen. Hier ist zunächst zu erkennen, dass die Halbleiterverluste der Modulationsstrategien ANPC-11-sync, -12, -DF, -ALD, -R2:1 und- SSLD für alle getesteten Verzögerungszeiten einen nahezu identischen Verlauf aufweisen. Des Weiteren kann dem Diagramm entnommen werden, dass die Halbleiterverluste der ANPC-00ZS- Strategie für sämtliche Verzögerungszeiten aufgrund der allgemein geringeren Durchlassverluste geringer ausfallen als für jede andere Modulationsstrategie. Zusätzlich ist zu erkennen, dass die

Gesamtverluste aller Modulationsstrategien mit steigender Verzögerungszeit nahezu linear ansteigen. Dieser Anstieg lässt sich auf die erhöhte Einschalt- bzw. Leitdauer der antiparallelen Dioden zwischen den Schaltvorgängen zurückführen.

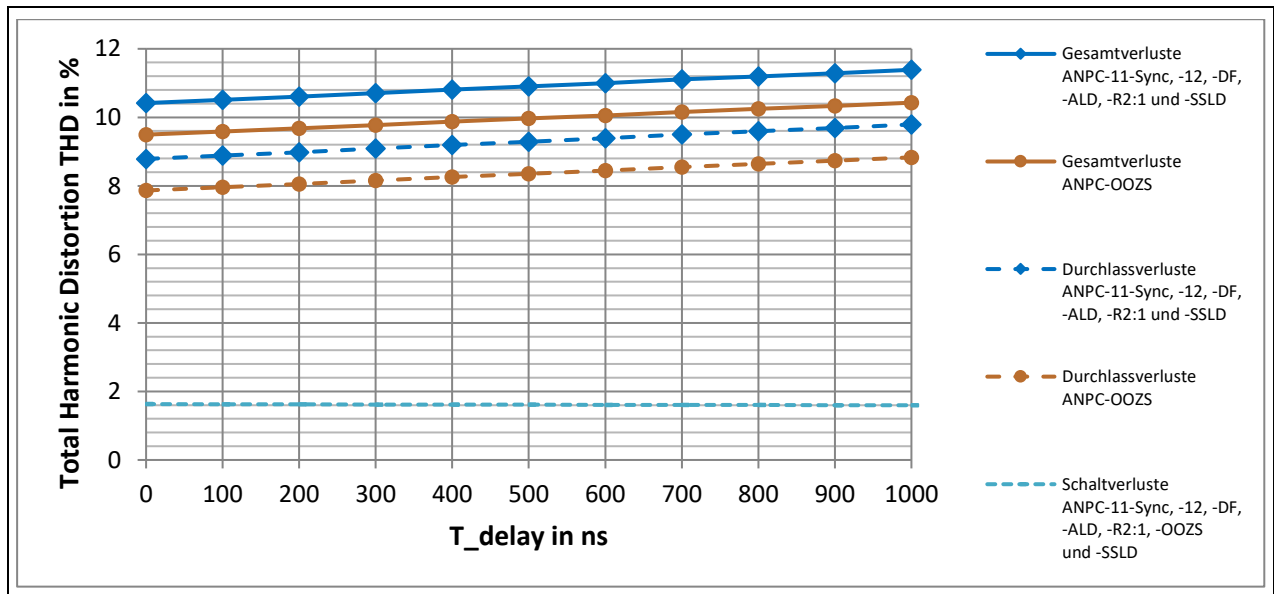


Abb. 49: Gesamtverluste der Halbleiter eines Wechselrichterstranges in Abhängigkeit der Verzögerungszeit

Des Weiteren wurde im Messzenario (1) untersucht wie sich die Verzögerungszeit bei den verschiedenen Modulationsstrategien auf den Anteil der Oberschwingungen im Umrücker-Ausgangsstrom auswirken. Wie bereits in Abschnitt 2.8 beschrieben wurde, führt eine Erhöhung der Verzögerungszeit zum Verlust von Pulsen des Pulsmusters in Bereich der Nulldurchgänge und der Maxima. Dies führt zu einer Verzerrung des Ausgangssinus, was wiederum zu einer Erhöhung des Oberschwingungsgehalts der Umrücker-Ausgangssignale führt. Abb. 50 zeigt, dass sich dieses erwartete Verhalten bei allen Modulationsstrategien einstellt. Für sämtliche simulierten Modulationsstrategien stellt sich in diesem Diagramm ein nahezu linearer und identisch verlaufender Anstieg des THD-Werts bei steigender Verzögerungszeit ein. Dies bedeutet, dass die simulierten Modulationsstrategien im Nennbetrieb keinen Einfluss auf den sich einstellenden THD-Wert bei verschiedenen Verzögerungszeiten haben.

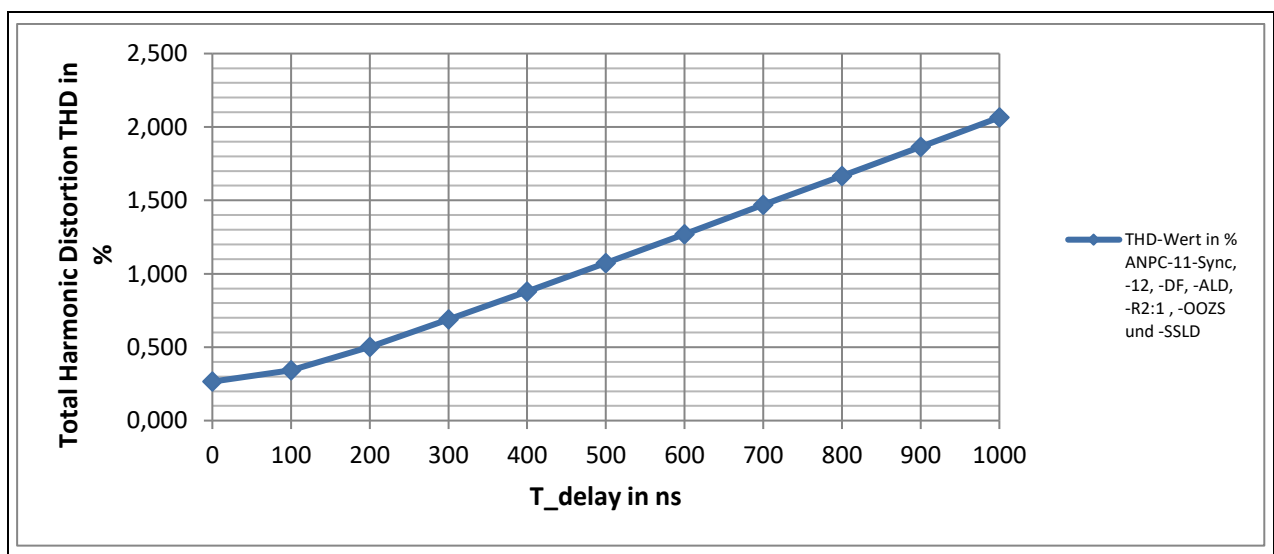


Abb. 50: Anteil der Oberwellen im Ausgangsstrangstrom des Umrückers in Abhängigkeit der Verzögerungszeit

4.4.2 Vergleich der Simulationsergebnisse für verschiedene Lastzustände - Messszenario (2)

Bei Messszenario (2) wird das Verhalten der sieben S-PWM-Strategien bei verschiedenen Belastungszuständen des Umrichters untersucht. Dafür werden am Umrichter die Parameter $\cos(\varphi) = 1$ und $t_{\text{delay}} = 500 \text{ ns}$ fest eingestellt. Gleichzeitig wird die ohmsche Last mit den Werten aus Tab. 17 des Anhangs 9.2 variiert. Da der Umrichter bei dieser Messung mit rein ohmschen Lasten betrieben wird, ergibt sich $S_{\text{ab}} = P_{\text{ab}}$.

Allgemein verringern sich die Schalt- und Durchlassverluste aller simulierten Modulationsstrategien bei sinkender Ausgangslast P_{ab} . Bedingt durch den geringeren Stromfluss bei kleineren Ausgangslasten fallen die Schaltverluste linear und die Durchlassverluste exponentiell ab. Daraus ergibt sich insgesamt ein exponentieller Abfall der Halbleitersummeverluste P_v .

Anhand des in Abb. 51 dargestellten Simulationsergebnisses wird ersichtlich, dass die ANPC-11-sync, -12, -DF, -ALD, -R2:1 und -SSLD-Strategien für sämtliche simulierte rein ohmsche Belastungszustände ein nahezu identisches Verhalten der Halbleiterverluste aufweisen.

Dagegen fällt die Gesamtverlustleistung der ANPC-00ZS-Strategie im Nennbetrieb genau wie im Messszenario (1) aufgrund der parallelen Nutzung der Mittelpunktpfade während des Freilaufs geringer aus als bei allen anderen getesteten Modulationsstrategien. Wird jedoch die Umrichter-Leistung abgesenkt, sinkt der Stromfluss und damit auch der Effekt der Strompfadaufteilung. Hierdurch nähern sich der Kurvenverlauf der Durchlassverluste und damit auch der Kurvenverlauf der Gesamtverluste der ANPC-00ZS Strategie nach Abb. 51 immer stärker den Kurvenverläufen der anderen Modulationsstrategien an. Daraus folgt, dass der Vorteil der geringeren Verlustleistung bei der ANPC-00ZS-Strategie im Bereich der Nennleistung am größten ist und bei sinkender Umrichter-Belastung immer geringer ausfällt.

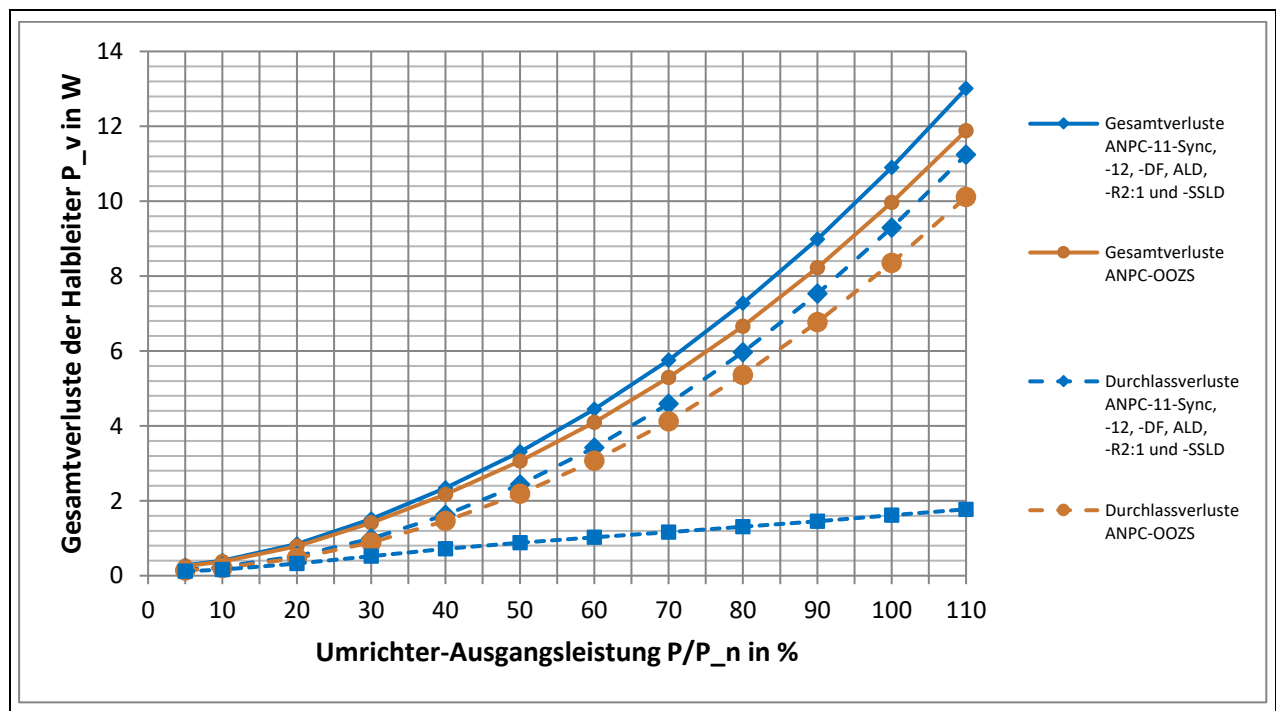


Abb. 51: Gesamtverluste der Halbleiter eines Wechselrichterstranges in Abhängigkeit der Ausgangslast

Indem die Formel (21) auf die in Abb. 51 dargestellten Simulationsergebnisse angewandt wird, ergeben sich die in Abb. 52 präsentierten prozentualen Verläufe der Wirkungsgrade für die verschiedenen Modulationsstrategien. Diese fallen je nach Last und Modulationsstrategie mit Werten zwischen 99,1% und 99,7% insgesamt sehr hoch aus. Bei der

weiteren Verwendung dieser Wirkungsgradangaben muss jedoch berücksichtigt werden, dass bei der Berechnung dieses Wirkungsgrades η ausschließlich die Verluste der Halbleiter berücksichtigt werden. Verluste, die durch die Ansteuerung der Halbleiter oder durch Leitungs- und Filterverluste entstehen, sind in der erstellten Simulation nicht enthalten und somit auch nicht in den errechneten Wirkungsgraden.

Dem so entstehenden Wirkungsgradverlauf aus Abb. 52 ist zu entnehmen, dass die Wirkungsgradkurven der verschiedenen Modulationsstrategien zunächst einen sehr ähnlichen Verlauf aufweisen. Beim Abfall der Umrichter-Nennleistung P_{ab} steigen die Wirkungsgrade aller Modulationsstrategien aufgrund der exponentiell fallenden Verlustleistung aus Abb. 51 zunächst an und erreichen bei 10% der Ausgangsnennleistung ihren Maximalwert. Wird die Ausgangslast weiter gesenkt, sinkt die Verlustleistung ebenfalls weiter. Da der Verlauf der Verlustleistungskurven bei niedrigen Ausgangsleistungen jedoch immer stärker abflacht, dominieren ab einem bestimmten Punkt die konstanten Umrichter-Verluste den Wirkungsgradverlauf. Hierdurch sinken die Wirkungsgrade bei Lasten kleiner 10% wieder stark ab.

Genau wie bei den Verläufen der Gesamtverlustleistungen ergeben sich für die errechneten Wirkungsgrade der Modulationsstrategien ANPC-11-sync, -12, -DF, -ALD, -R2:1 und -SSLD identische Kurvenverläufe. Aufgrund der geringeren Halbleiterverluste erreicht die ANPC-00ZS-Strategie für alle simulierten Ausgangslasten den höchsten Wirkungsgrad. Genau wie bei der Messung der Gesamtverlustleistungen nähert sich der Verlauf der Wirkungsgradkurve der 00ZS-Strategie bei fallender Ausgangslast, aufgrund des geringer werdenden Effekts der Stromaufteilung, immer näher an die Wirkungsgradverläufe der anderen Modulationsstrategien an.

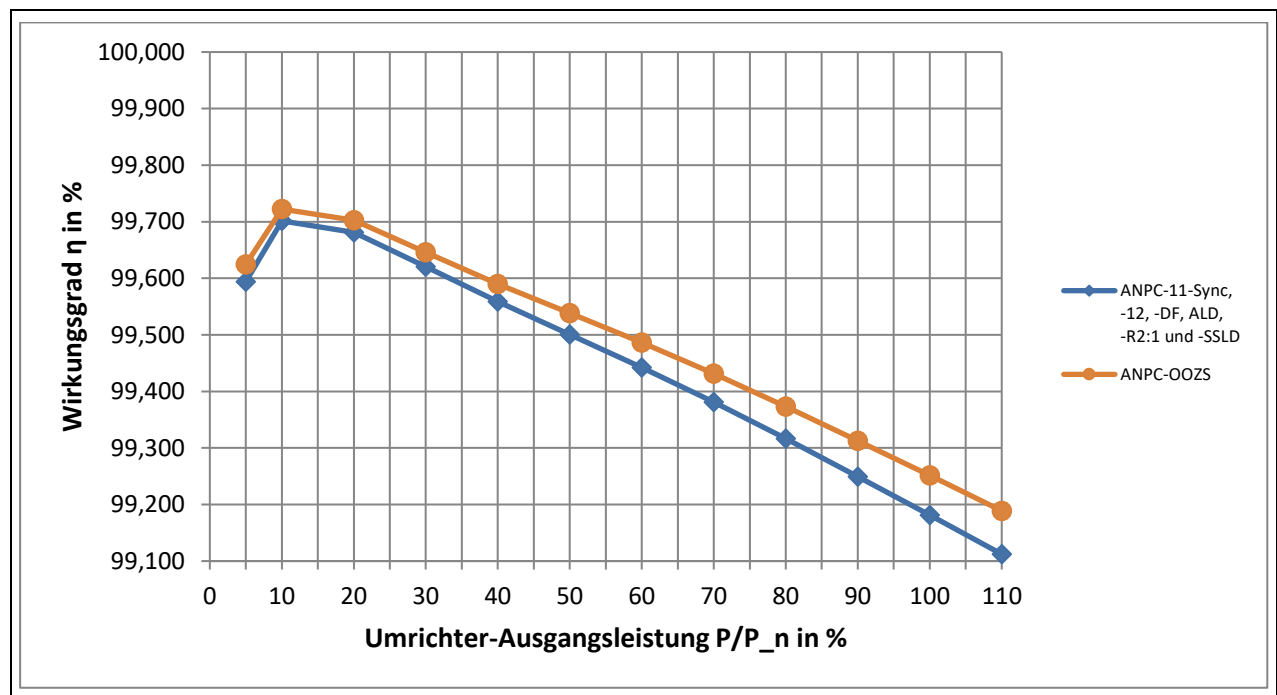


Abb. 52: Wirkungsgrad des Umrichters in Abhängigkeit der Ausgangslast

Im Rahmen des Messszenario (2) wurde ebenfalls die THD-Werte nach Formel (20) für die verschiedenen simulierten Ausgangslasten aufgezeichnet. Für den Fall der Nennbelastung verhalten sich alle simulierten Modulationsstrategien nahezu identisch und weisen einen THD-Wert von ca. 1% auf. Der weitere Verlauf der THD-Kurven nimmt bei sinkendem Ausgangsstrom, bedingt durch die Dimensionierung des LCL-Filters, den weiteren Verlauf nach Abb. 53 an. Demnach sinkt der Anteil der Oberwellen im Umrichter-Ausgangsstrom aller simulierten Modulationsstrategien bei sinkender Belastung des Umrichters bis zu dem Wert $P_{ab} = 0,3 \cdot P_n$ ab. Hier erreichen alle Modulationsstrategien ihren minimalen THD-Wert. Dieser liegt bei den Strategien ANPC-11-Sync, -12, -R2:1, -SSLD und ALD bei ca. 0,76%. Den niedrigsten Wert liefert hier die ANPC-00ZS-Strategie mit 0,732% und den höchsten Wert die ANPC-DF-Strategie mit 0,815%.

Sinkt die Ausgangslast noch weiter ab, erhöht sich der THD-Wert aller Strategien wieder. Der Maximalwert wird dann bei $0,1 \cdot P_n$ erreicht.

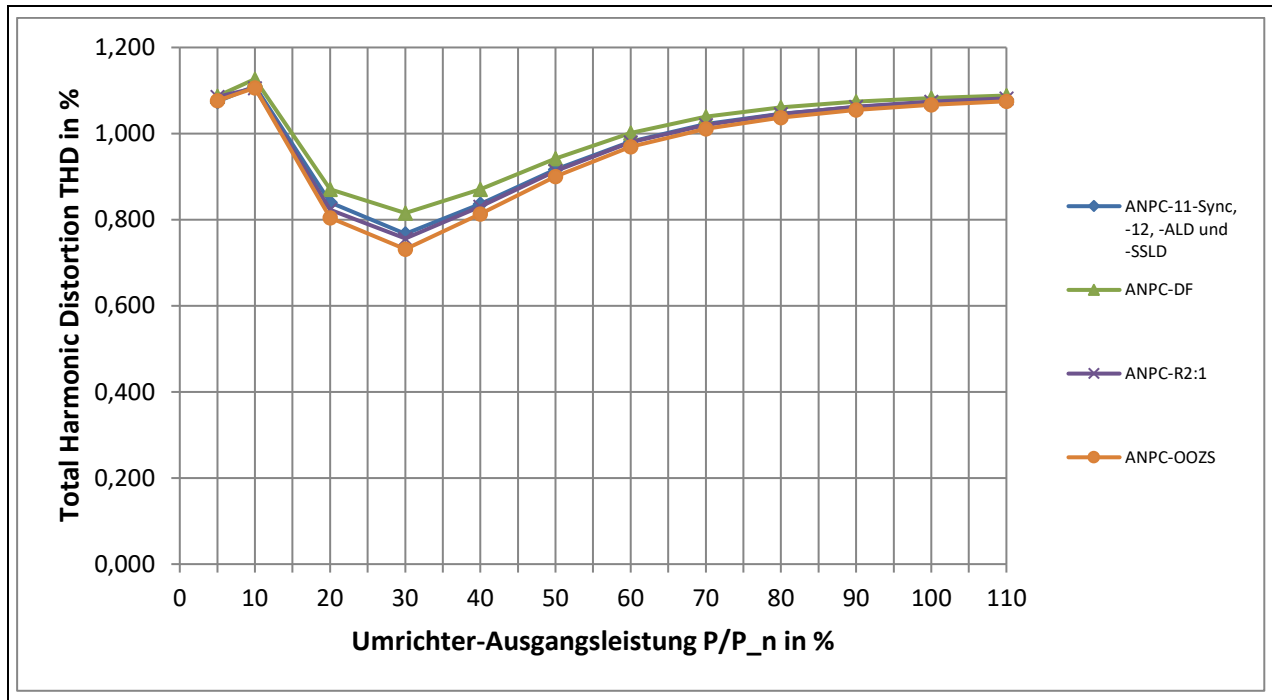


Abb. 53: Anteil der Oberwellen im Ausgangsstrangstrom des Umrichters in Abhängigkeit der Ausgangslast

4.4.3 Vergleich der Simulationsergebnisse für verschiedene Leistungsfaktoren – Messszenario (3)

Bei Messszenario (3) wird das Verhalten der sieben S-PWM-Strategien für dem Umrichter-Betrieb an ohmsch-induktiven Lasten untersucht. Hierfür werden am Umrichter die Parameter $S = S_n$ und $t_{\text{delay}} = 500 \text{ ns}$ fest eingestellt. Durch das Anschließen verschiedener ohmsch-induktiver Lasten wird der Leistungsfaktor mit den Werten aus Tab. 18 des Anhangs 9.3 variiert.

Die lastseitig eingeführte Induktivität bewirkt eine Phasenverschiebung des Laststroms. Aufgrund der elektrischen Koppelung zwischen der Wechselrichter Ein- und Ausgangsseite führt dies gleichzeitig zu einer Veränderung des Umrichter-Eingangstroms, was sich wiederum auf die durch die MOSFETs fließenden Ströme auswirkt. Die Phasenverschiebung zwischen Spannung und Strom führt somit in Kombination mit den in PLECS hinterlegten nichtlinearen Verlustmodellen aus Anhang 9.1 zu einer Beeinflussung der Halbleiterverlustleistung. Der sich für die simulierten Leistungsfaktoren ergebende Verlauf dieser Halbleiterverlustleistung ist in der Abb. 54 dargestellt.

Hierbei ist zu erkennen, dass sich für die ANPC-11-sync, -12, -DF, -R2:1 und- SSLD-Strategien die Verluste der Halbleiter bei sinkendem Leistungsfaktor zunächst verringern, ab dem Leistungsfaktor 0,4 nahezu konstant bleiben und sich für Leistungsfaktoren kleiner 0,1 wieder leicht erhöhen. Die Kurve der ANPC-ALD-Strategie verläuft im Bereich zwischen der Leistungsfaktor $\cos(\varphi)$ 1 bis 0,3 knapp darüber, jedoch verläuft sie ab Werten kleiner 0,3 nahezu konstant.

Erneut fallen auch bei der Simulation für verschiedenen Leistungsfaktoren die Gesamtverlustleistung der ANPC-00ZS-Strategie geringer aus als bei alle anderen simulierten Modulationsstrategien. Die Halbleiterverluste der 00ZS-Strategie fallen bei sinkendem Leistungsfaktor bis zu dem Wert 0,1 sogar noch stärker ab, als bei den Kurvenverläufen der anderen im Diagramm dargestellten Strategien.

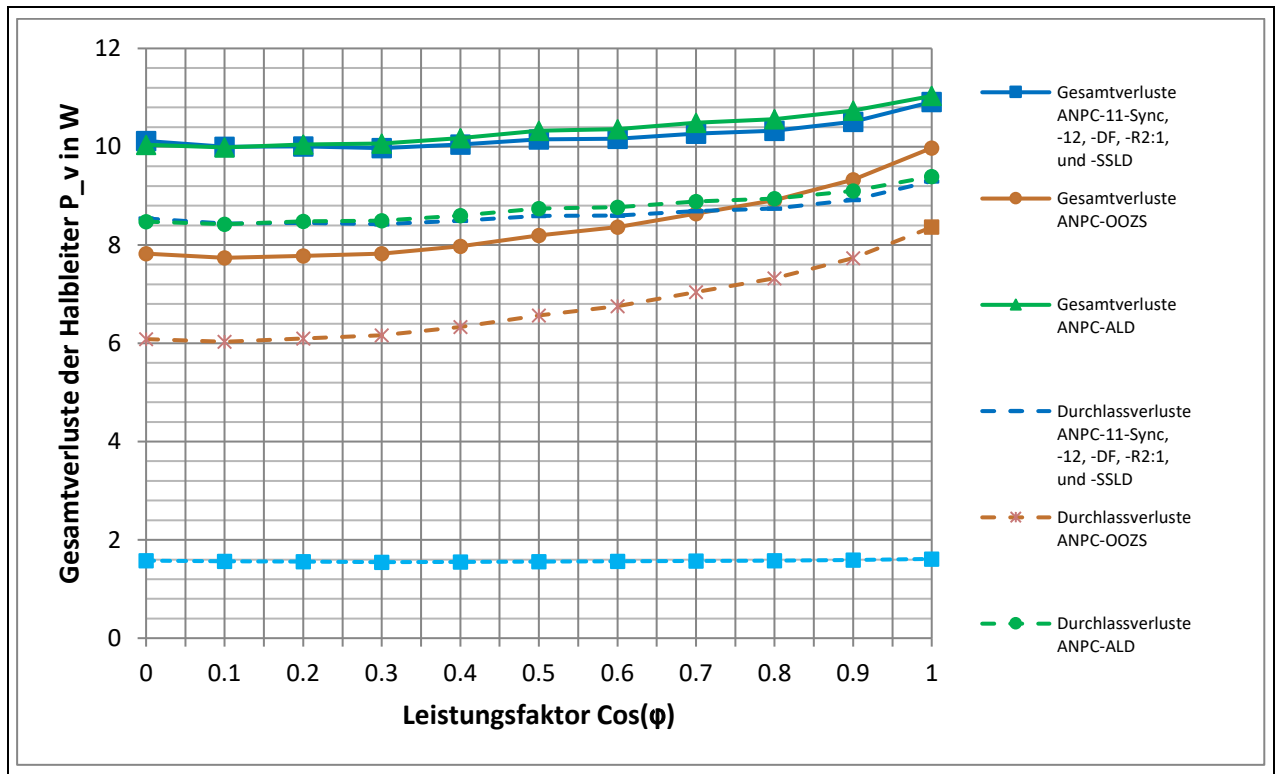


Abb. 54: Gesamtverluste der Halbleiter eines Wechselrichterstranges in Abhängigkeit des Leistungsfaktors

Durch die Messung der Wirkleistung am Ausgang des Wechselrichters können in Kombination mit den ermittelten Halbleiterverlusten nach Formel (21) die Wirkleistungs-Wirkungsgrade der verschiedenen Modulationsstrategien für die verschiedenen Leistungsfaktoren berechnet werden. Die Ergebnisse dieser Berechnung sind in Abb. 55 dargestellt. Diese zeigt, dass sich die Wirkleistungswirkungsgrade aller Modulationsstrategien bei sinkenden $\cos(\varphi)$ Werten deutlich verschlechtern, obwohl sich gleichzeitig die Halbleiterverluste bei geringeren Leistungsfaktoren reduzieren. Dies liegt daran, dass die Ausgangswirkleistung bei sinkendem Leistungsfaktor deutlich stärker absinkt als die Halbleiterverluste. Hierdurch machen die Halbleiterverluste bei sinkendem Leistungsfaktor einen immer größeren Anteil der gesamt Umrichter-Leistung aus und der Wirkungsgrad sinkt.

Dennoch weist die ANPC-OOZS-Strategie aufgrund der geringeren Halbleiterverluste beim Betrieb des Umrichters mit sämtlichen Leistungsfaktoren den höchsten Wirkungsgrad auf.

Unterhalb der Wirkleistungs-Wirkungsgradkurve der OOZS-Strategie verlaufen alle weiteren Kurven nahezu identisch. Die Modulationsstrategien ANPC-11-sync, -12, -DF, -ALD, -R2:1 und -SSLD bewirken somit keine Veränderung des Wirkleistungs-Wirkungsgrad-Verlaufs.

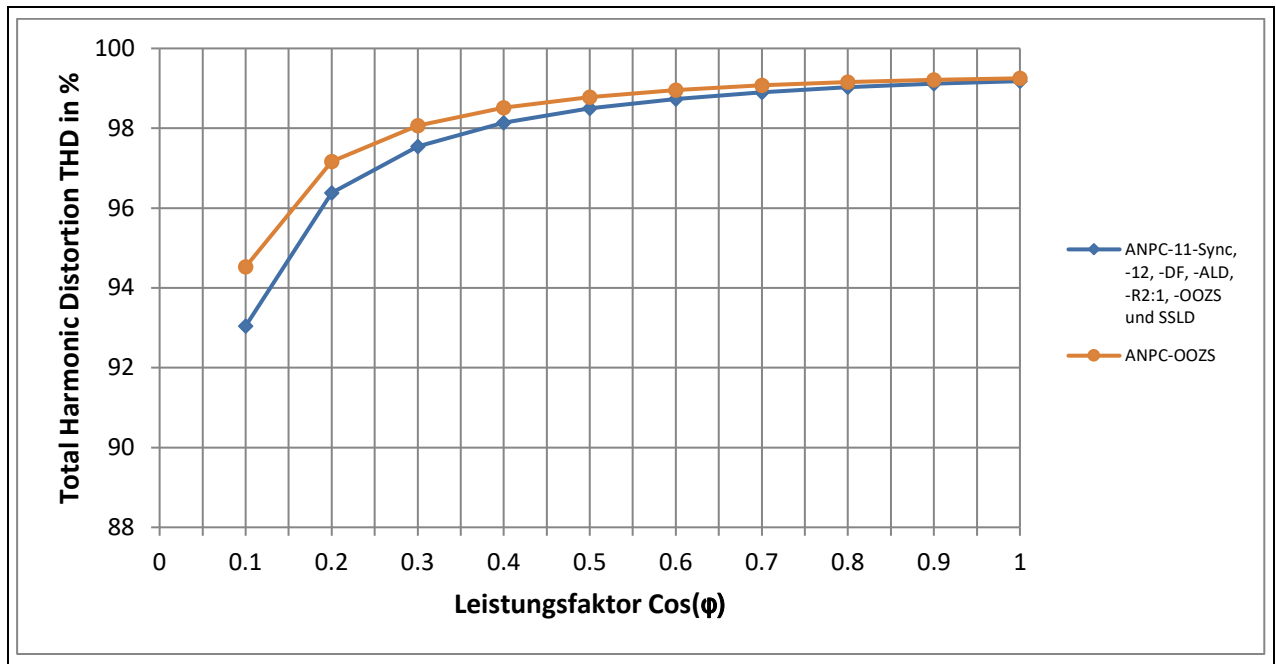


Abb. 55: Wirkungsgrad des Umrichters in Abhängigkeit des Leistungsfaktors

Ergänzend wurde im Messzenario (3) der THD-Wert des Ausgangsstromes für verschiedene Leistungsfaktoren aufgezeichnet. Die sich daraus ergebenden Kurvenverläufe sind in Abb. 56 dargestellt. Darin zeigt sich, dass die Kurven sämtlicher getesteter Modulationsstrategien einen identischen Verlauf aufweisen. Daraus folgt, dass der THD-Wert für verschiedenen Leistungsfaktoren durch keine der untersuchten Modulationsstrategien beeinflusst werden kann. Für den Leistungsfaktor $\cos(\varphi) = 1$ liegt der THD-Wert des Umrichters somit unabhängig von der Modulationsstrategie bei rund 1,1% und fällt bei sinkendem Leistungsfaktor bis zu dem Wert $\cos(\varphi) = 0,8$ zunächst stark auf 0,34% ab. Im weiteren Verlauf nähert sich die Kurve dem Wert 0,26% an.

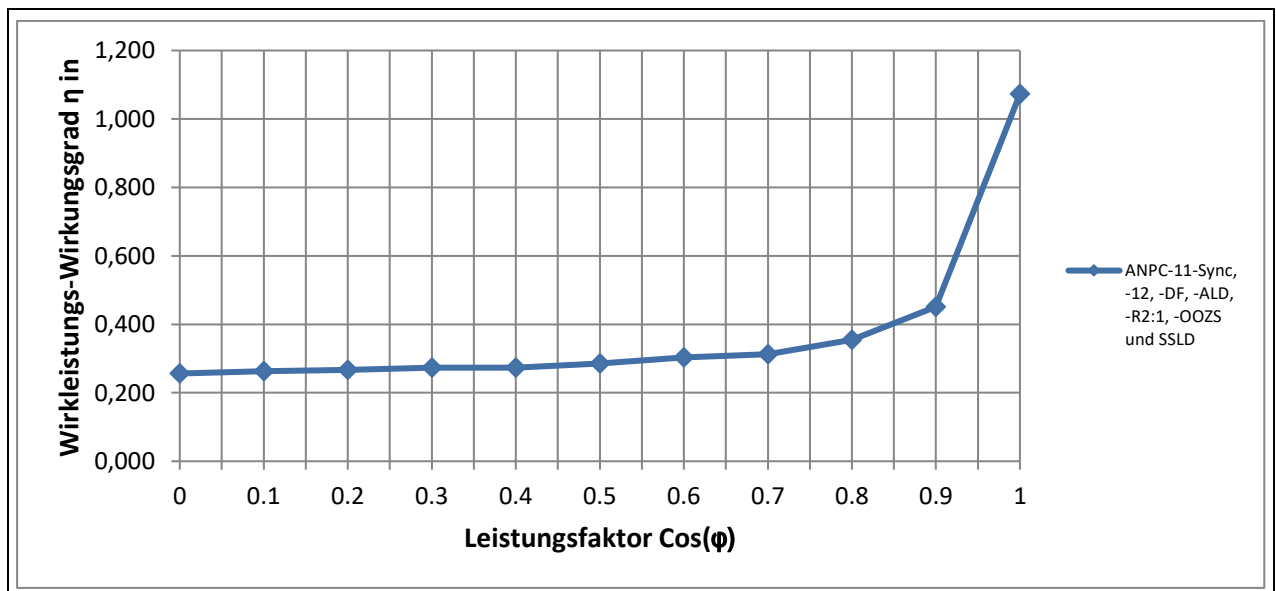


Abb. 56: Anteil der Oberwellen im Ausgangsstrangstrom des Umrichters in Abhängigkeit des Leistungsfaktors

Wie bereits in Abschnitt 2.5.2 beschrieben, verfolgen die meisten Modulationsstrategien für die ANPC-Topologie das primäre Ziel, durch die intelligente Nutzung der zur Verfügung stehenden redundanten Schaltzustände die Schalt- und

Durchlassverluste zwischen den Halbleiterbauelemente zu verschieben. Um die sich, abhängig von der eingesetzten Modulationsstrategie, einstellenden Verlustverteilungen zwischen den einzelnen Halbleiterbauelementen der leistungselektronischen Schaltung zu untersuchen, werden im Folgenden unter Anwendung von Messszenario (3) separiert die Schalt- und Durchlassverluste aller MOSFETs sowie die Durchlassverluste der zugehörigen antiparallelen Dioden einer ANPC-Brückenhälfte aufgezeichnet.

Wie erwartet, unterscheiden sich die Messergebnisse der durchgeführten Verlustleistungsmessungen bei den verschiedenen simulierten Modulationsstrategien bereits im Nennbetrieb stark voneinander. Zudem kommt es im Weiteren bei der Durchführung der Messung mit verschiedenen Leistungsfaktoren aufgrund der Phasenverschiebung zwischen Spannung und Strom und den sich daraus im Freilauf einstellenden Stromflusspfaden zu weiteren Umverteilungen der verschiedenen Verlustanteile. Die Ergebnisse der separierten Verlustmessungen für die simulierten Modulationsstrategien ANPC-11-Sync, -12, -DF, -ALD, -R2:1, -OOZS und -SSLD sind in den Abb. 57 bis Abb. 59 nacheinander grafisch dargestellt. Hierbei ist für die Halbleiter 1, 2 und 5 des oberen Brückenzeigs jeweils die Verlustverteilung für den Leistungsfaktor $\cos(\varphi) = 1, 0.8$ und 0 nebeneinander dargestellt.

Wie erwartet, zeigen die Simulationsergebnisse, dass die Durchlassverluste der inneren MOSFETs bei der ANPC-Topologie unabhängig von der Modulationsstrategie höher ausfallen als bei allen anderen Schaltern. Gleichzeitig bleiben die Durchlassverluste dieser inneren Schalter unabhängig vom Leistungsfaktor weitgehend konstant. Des Weiteren tritt die höchste Halbleiterbelastung bei allen simulierten Strategien im Nennbetrieb und einem Leistungsfaktor von $\cos(\varphi) = 1$ auf. Da die Nennleistung des Wechselrichters, wie bereits mehrfach beschrieben, von dem am stärksten belasteten Halbleiterbauelement beschränkt wird, muss für die Auslegung der übertragbaren Nennlast des Wechselrichters stets dieser Arbeitspunkt als Auslegungskriterium betrachtet werden.

Des Weiteren bestätigen die Simulationsergebnisse in Abb. 57 bis Abb. 59 die in Abschnitten 3.1 bis 3.6 theoretisch vorhergesagten Verlustverteilungen für die verschiedenen vorgestellten S-PWM-Strategien. So zeigen die Simulationsergebnisse, dass bei der ANPC-11-Sync-Strategie für den Fall $\cos(\varphi) = 1$, wie erwartet, sämtliche Schaltverluste vollständig auf die äußeren Halbleiter verlagert werden und die Diodenverluste an den Mittelpunktschaltern anfallen. Im Falle des simulierten Versuchsaufbaus mit den eingesetzten 900V SiC-MOSFET, ergibt sich trotz vollständiger Verlagerung der Schaltverluste auf die äußeren, und damit am stärksten belasteten Halbleiter, nach Abb. 57 (oben), bei der simulierten Schaltfrequenz von 32 kHz ein sehr guter Wert für die maximalen Verlustleistung des am stärksten belasteten Bauteils. Wird jedoch die Taktfrequenz der Halbleiter erhöht, fallen sämtliche zusätzlichen dadurch entstehenden Schaltverluste an einem Bauteil an, wodurch sich die vollständige Verlagerung der Schaltverluste wiederum nachteilig auf die Maximalbelastung dieser Halbleiter auswirkt.

Ergänzend dazu zeigen die Simulationsergebnisse, dass bei der ANPC-12-Strategie wie erwartet die Schalt- und Diodenverluste vollständig auf die inneren Schalter verlagert werden. Hierdurch kommt es, wie in Abb. 57 (unten) zu sehen, zu einer sehr ungleichmäßigen Verteilung der Halbleiterverluste, wodurch die inneren Schalter deutlich stärker belastet werden als bei allen anderen getesteten Modulationsstrategien.

Bei den Strategien ANPC-DF, -ALD, -R2:1 teilen sich die Schaltverluste wie in der Theorie vorhergesagt in jeweils unterschiedlichen Verhältnissen auf die inneren und äußeren Halbleiter auf. Zusätzlich dazu teilen sich bei allen drei Strategien die Diodenverluste auf die inneren und Mittelpunkt-Halbleiter auf. Dies führt dazu, dass es bei der ALD-Strategie durch Einstellung des Tastgrades Stress-In / Stress-Out auf 70/30, wie gewünscht, zu einer nahezu exakt gleichmäßigen Gesamtverlustverteilung zwischen inneren und äußeren Halbleitern kommt. Bei der ANPC-ALD-Strategie wird somit, nach Abb. 58 (Mitte), die maximal mögliche Verlustverteilung zwischen diesen beiden Halbleitern erreicht, wodurch die maximale Verlustleistung des am stärksten belasteten Bauteils maximal gesenkt wird. Mittels einer etwas anderen Aufteilung der Schalt- und Diodenverluste, nach Abb. 58 (unten), erreicht auch die R2:1-Strategie ein fast identisches Ergebnis in Bezug auf die maximale Bauteilbelastung. Auch bei der ANPC-DF-Strategie kommt es, nach Abb. 58 (oben), durch die Aufteilung der Schaltverluste zu einer Verlustleistungsverteilung zwischen den inneren und äußeren Schaltern. Beim Betrieb einer Schaltung mit hohen Schaltfrequenzen kann durch die Nutzung der ANPC-DF-Strategie bei halber Eingangsschaltfrequenz somit ebenfalls eine Optimierung der maximalen Bauteilbelastung erreicht werden.

Die in den vorangegangenen Simulationen bereits thematisierte Verringerung der Durchlassverluste der inneren und Mittelpunktschalter bei der OZS-Strategie bestätigt sich ebenfalls in dieser Simulation und ist in Abb. 59 (oben) deutlich zu erkennen. Abgesehen von der Verringerung der Durchlass- und damit auch der Gesamtverluste, zeigt das Simulationsergebnis jedoch auch, dass ähnlich wie bei der ANPC-11-Sync-Strategie eine Verschiebung der Schaltverluste hin zu den äußeren Halbleitern erfolgt. Somit wirkt sich eine Erhöhung der Schaltfrequenz auch bei dieser Strategie nachteilig auf die Maximalbelastung des Umrichters aus.

Ähnlich wie bei der OZS-Strategie sinken auch bei der SSLD-Strategie durch die transiente Nutzung der Schaltvorgänge O_{out}^+ und O_{out}^- die Durchlassverluste ab. Wie in Abb. 59 (unten) zu entnehmen, fällt dieser Effekt jedoch deutlich geringer aus als bei der OZS-Strategie. Gleichzeitig findet ähnlich wie bei der ANPC-12-Strategie eine fast vollständige Verlagerung der Schalt- und Diodenverluste auf die inneren Schalter statt. Dies führt auch hier zu einer sehr ungleichmäßigen Verlustverteilung, was wiederum zu einer sehr hohen maximalen Bauteilbelastung führt, die sich nachteilig auf die maximale Umrichter-Leistung auswirkt.

Bei einem Absinken des Leistungsfaktors ergeben sich für die verschiedenen Modulationsstrategien unterschiedliche Verschiebungen der Schalt- und Diodenverluste. Allgemein führen diese Verschiebungen bei den Modulationsstrategien ANPC-12, -DF, -ALD, -R2:1 und -SSLD dazu, dass für sämtliche Leistungsfaktoren die inneren Schalter weiterhin am stärksten belastet werden. Dagegen verschiebt sich die Maximalbelastung bei den Strategien ANPC-11-Sync und -OZS bei fallendem Leistungsfaktor weg von den in diesen Fällen am stärksten belasteten äußeren Halbleitern hin zu den inneren Halbleitern.

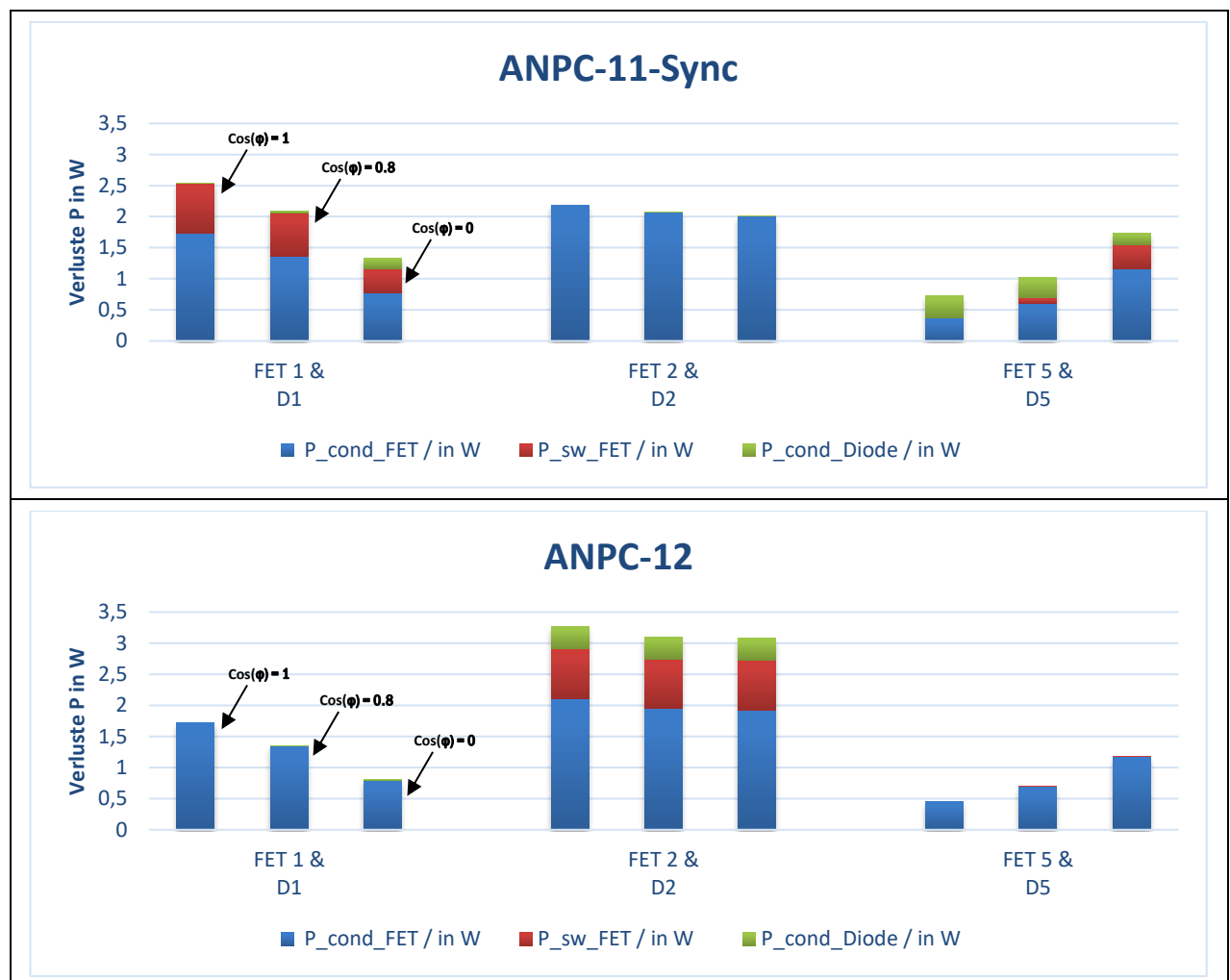


Abb. 57: Aufteilung der Schalt- und Durchlassverluste zwischen den Bauteilen eines Brückenzeigs für die Werte $\cos(\phi)$ 1/0,8/0 für die Modulationsstrategien ANPC-11-Sync und ANPC-12

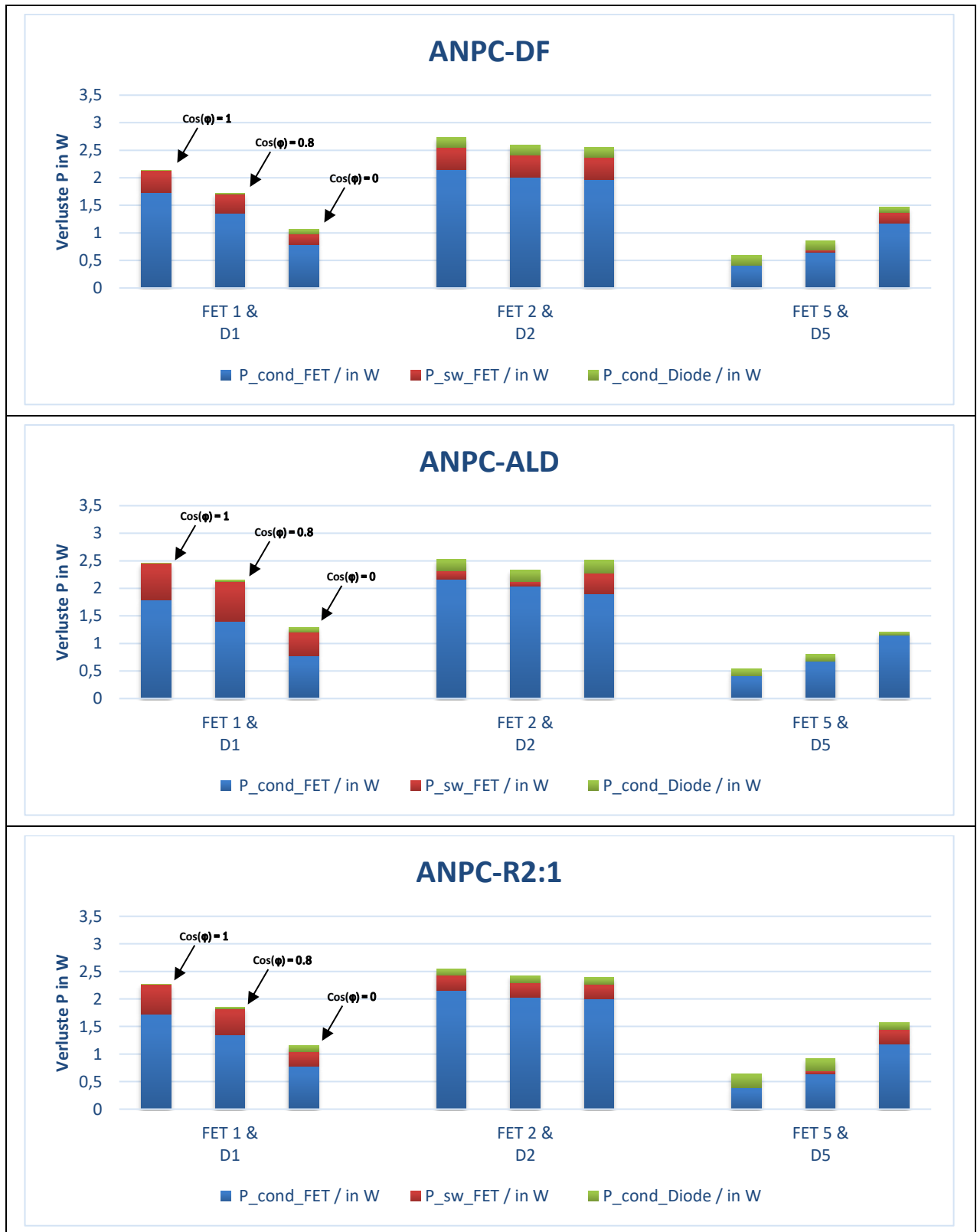


Abb. 58: Aufteilung der Schalt- und Durchlassverluste zwischen den Bauteilen eines Brückenzeigs für die Werte $\cos(\varphi)$ 1/0,8/0 für die Modulationsstrategien ANPC-DF, -ALD und -R2:1

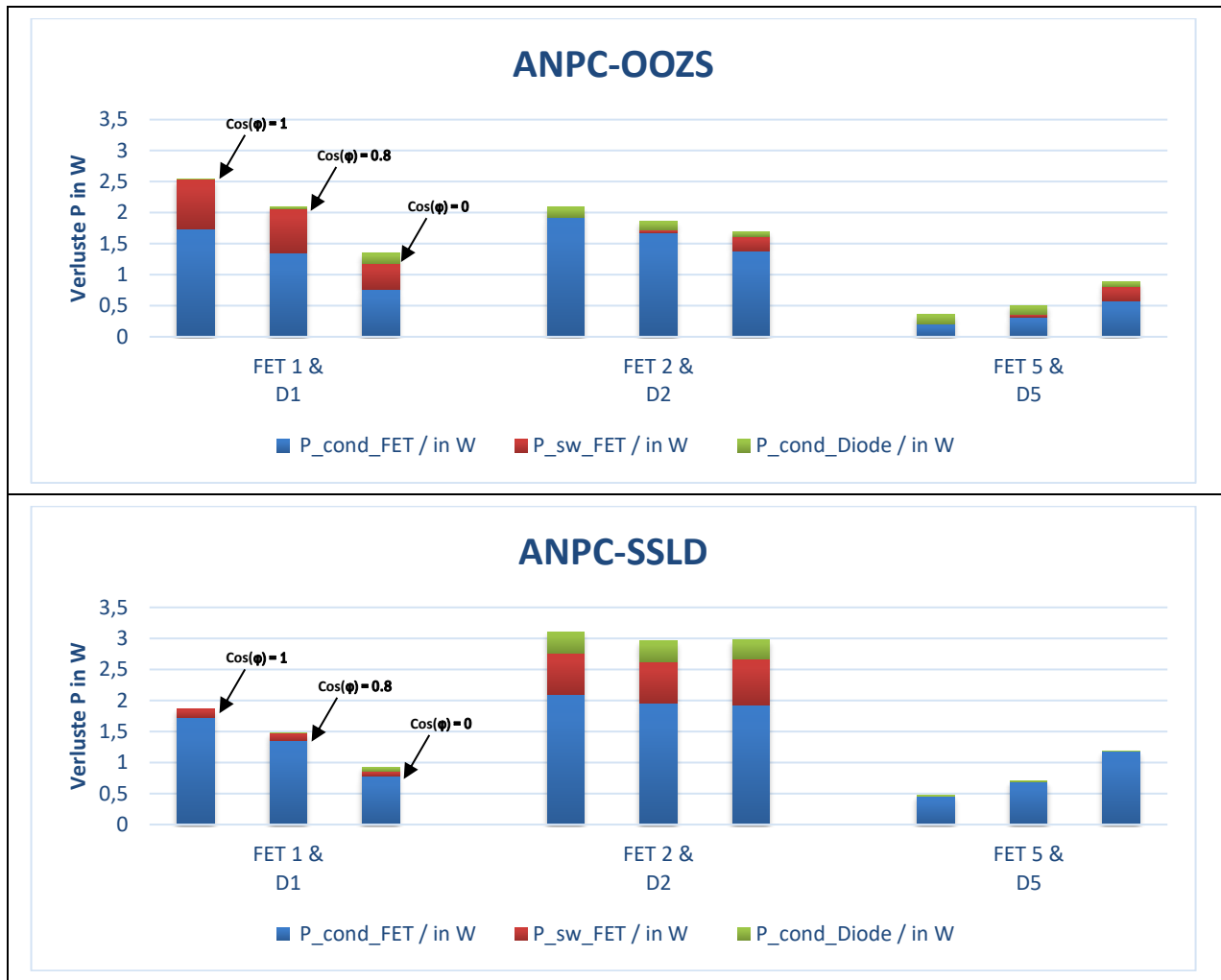


Abb. 59: Aufteilung der Schalt- und Durchlassverluste zwischen den Bauteilen eines Brückenzeigs für die Werte $\cos(\phi)$ 1/0,8/0 für die Modulationsstrategien ANPC-SSLD und ANPC-OOZS

4.4.4 Vergleich der Simulationsergebnisse der auftretenden Halbleiterspannungen für verschiedene Leistungsfaktoren unter Messszenario (4)

Im Messszenario (4) werden die parasitären Drain-Source-Kapazitäten C_{DS} in die vorhandene Simulation mitaufgenommen und die Drain-Source-Spannungen der MOSFETs 1, 2 und 5 aufgenommen. Wie bei Messszenario (3) werden die Parameter $S = S_n$ und $t_{delay} = 500$ ns konstant gehalten und der Leistungsfaktor nach Tab. 18 aus Anhang 9.3 variiert. Die vollständigen Simulationsergebnisse der gemessenen maximalen Drain-Source-Spannungen $U_{DS, max}$ sämtlicher simulierter Leistungsfaktoren sind in den Tabellen Tab. 19 bis Tab. 25 im Anhang 9.7 hinterlegt. Darin ist zu erkennen, dass bei den Modulationsstrategien ANPC-12, -DF, -R2:1 und -SSLD an den inneren MOSFETs kritische Überspannungen auftreten. Diese entstehen im Bereich des Nulldurchgangs des Referenzsignals. Wie diese, bedingt durch die parasitären Kapazitäten, auftretenden Überspannungen entstehen, ist in Abschnitt 2.9 beschrieben. An den übrigen MOSFETs sind keine Überspannungen zu erkennen. Um das tendenzielle Verhalten der MOSFET-Spannungen $U_{DS, max}$ zu analysieren, genügt es somit für jede der Modulationsstrategie jeweils nur die Spannungswerte für einen inneren MOSFET zu betrachten. Die verkürzte Darstellung der Messungen aus Abb. 60 enthält somit nur die Spannungswerte des inneren MOSFET 2 für die Leistungsfaktoren 1, 0.8 und 0.

Modulationsstrategie	Leistungsfaktor $\cos(\varphi)$	Spannung an MOSFET 2
ANPC-11-Sync	0	350
	0,8	351
	1	350
ANPC-12	0	583
	0,8	583
	1	350
ANPC-DF	0	584
	0,8	584
	1	404
ANPC-ALD	0	350
	0,8	350
	1	350
ANPC-R2:1	0	583
	0,8	583
	1	488
ANPC-00ZS	0	350
	0,8	350
	1	350
ANPC-SSLD	0	583
	0,8	583
	1	350

Abb. 60: Spannungswerte der Drain-Source-Strecke des inneren MOSFETs 2 bei verschiedenen Modulationsstrategien

Die Abb. 60 zeigt somit übersichtlich, dass für die Modulationsstrategien ANPC-11-Sync, -ALD, und -00ZS unabhängig vom Leistungsfaktor keine Überspannungen entstehen. Im Gegensatz zu der ANPC-DF- und -R2:1-Strategie entstehen bei den ANPC-12- und -SSLD-Strategie im Nennbetrieb ebenfalls keine Überspannungen an den Halbleiterbauteilen. Sinkt jedoch der Leistungsfaktor, kommt es auch bei diesen beiden Modulationsstrategien genau wie bei der ANPC-DF- und R2:1-Strategie zu kritischen Überspannungen an den Halbleitern.

Wie sich diese Überspannungen der ANPC-12, -DF, -R2:1 und SSLD in der Realität auswirken und ob es dadurch zu reversiblen oder irreversiblen Beschädigungen der Halbleiterbauteile kommt, die evtl. die Lebensdauer des Umrichters beeinträchtigen können, muss in einer zukünftigen Untersuchung geklärt werden.

Des Weiteren wird an dieser Stelle, ausgehend von den Simulationsergebnissen, angeregt, zukünftig zu untersuchen, ob die bei der ANPC-DF-Strategie entstehenden Überspannungen durch eine intelligente Kombination der ANPC-DF- mit der überspannungsfreien ANPC-00ZS- Strategie unterbunden werden können. Die Grundidee dieser Schaltmusterkombination sieht vor, dass im überwiegenden Teil des Referenzsignals die Schaltabfolge der ANPC-DF Strategie beibehalten wird und lediglich in den kritischen Bereichen des Nulldurchgangs der universelle Nullzustand der 00ZS-Strategie anstelle der Nullzustände der ANPC-DF-Strategie eingesetzt wird. Da im dreiphasigen Betrieb in den Bereichen der Nulldurchgänge jedoch phasenübergreifend unterschiedliche Modulationsstrategien aufeinandertreffen, wodurch voraussichtlich Rückwirkungen auf die jeweils anderen Phasenstränge entstehen werden, kann dieses Schaltmuster voraussichtlich nur im einphasigen Umrichter-Betrieb genutzt werden. Hinzu kommt, dass

verschiedene Trägersignale mit unterschiedlichen Frequenzen im Ansteuerungscontroller implementiert und synchronisiert werden müssen. Aus diesen Gründen wird dieses neue Schaltmuster an dieser Stelle nicht weiter untersucht. Ein schematischer Entwurf dieser Kombination aus ANPC-DF und -OOZS Strategie ist dieser Arbeit in Anhang 9.8 beigelegt.

4.5 Klassifizierung der Modulationsstrategien nach Anwendungsgebieten

Auf Basis der Simulationsergebnisse aus Abschnitt 4.4 werden in der folgenden Tab. 16 die wichtigsten Eigenschaften der sieben theoretisch erarbeiteten und simulierten S-PWM-Strategien zusammengetragen. Anhand dieser Eigenschaften wird für jede der Modulationsstrategien ein optimales Anwendungsgebiet herausgearbeitet. Des Weiteren wird anhand dieser Kriterien entschieden, welche der simulierten Modulationsstrategien für die zukünftige Anwendung in Mittelspannungsumrichtern als sinnvoll erscheinen und weiter untersucht werden sollen.

Unter Einsatz der in PLECS verwendeten Simulationsparameter erscheint die ANPC-11-Sync Modulation zunächst als vielversprechende Strategie für den Betrieb von Mittelspannungsnetzumrichtern. Durch die Verschiebung der Schaltverluste auf die äußeren Halbleiter kommt es zu einer vorteilhaften Verlustverteilung in Bezug auf die maximale Bauteilbelastung und zusätzlich dazu kommt es im Betrieb zu keinen Überspannungen. Da zukünftig jedoch angestrebt wird, die Halbleiter mit Taktfrequenzen $> 32 \text{ kHz}$ zu betreiben, erhöhen sich auch die absoluten Schaltverluste, wodurch sich die vollständige Verschiebung der Schaltverluste auf die äußeren Halbleiter wiederum nachteilig auf die Gesamtverlustverteilung auswirkt. Aus diesem Grund wird die zunächst vielversprechende ANPC-11-Sync-Strategie an dieser Stelle nicht weiter untersucht.

Bei der ANPC-12-Strategie entsteht durch die vollständige Verschiebung der Schalt- und Durchlassverluste auf die ohnehin am stärksten belasteten inneren Halbleiter die schlechteste Verlustverteilung aller untersuchten Modulationsstrategien. Dazu kommen die im Nulldurchgang entstehende Überspannungen. Aufgrund dieser generellen Nachteile der ANPC-12-Strategie in Bezug auf den vorgesehenen SiC-Hardwareaufbau des Umrichters wird diese Strategie im Folgenden nicht weiter untersucht. Wird die Strategie jedoch in einem Hybridumrichter eingesetzt, in welchem die niederfrequent taktenden äußeren und Mittelpunktschalter als IGBTs- und die inneren Halbleiter als hocheffiziente SiC-MOSFETs ausgeführt werden, kann die Verlustverschiebung hin zu den effizienteren SiC-Bauteilen zur Realisierung eines sehr effizienten und kostengünstigen Umrichters führen (siehe Abschnitt 3.2 und [32]).

Die Schalt- und Diodenverluste werden bei der SSLD- wie bei der ANPC-12-Strategie ebenfalls fast vollständig auf die inneren Halbleiter verschoben. Obgleich die Durchlassverluste der inneren Halbleiter leicht reduziert werden, fällt die Maximalbelastung dieser Halbleiter deutlich höher aus. Aufgrund dieser Schaltverlustverschiebung und den zusätzlich dazu entstehenden Überspannungen in Nulldurchgang wird diese Strategie genau wie die ANPC-12 für den vorliegenden Anwendungsfall nicht weiter untersucht. Dazu kommt, dass bei der SSLD-Strategie nur noch zwei Schalter niederfrequent takten. Somit ist diese Strategie anders als die ANPC-12-Strategie für Hybridumrichter nicht sinnvoll anwendbar.

Durch die flexibel einstellbaren Schaltzustände Stress-In und Stress-Out können bei der ANPC-ALD-Strategie die Gesamtverluste zum einen im Nennbetrieb und zum anderen für jeden beliebigen Arbeitspunkt des Wechselrichters zwischen den inneren und äußeren Halbleitern exakt gleichmäßig aufgeteilt werden. Durch das Einbinden und Auswerten von zusätzlichen Spannungs- und Strommessstellen am Ausgang des Umrichters bietet die ANPC-ALD-Strategie zusätzlich zum passiven Betrieb die Möglichkeit, ein aktives Umrichter-System zu realisieren. Hinzu kommt, dass bei der ALD-Strategie keine unerwünschten Überspannungen an den Halbleitern entstehen. Somit besitzt die ALD-Strategie gute Voraussetzungen, um mit ihr einen flexiblen und kosteneffizienten Netzumrichter mit nahezu gleichbleibend hohem Wirkungsgrad zu realisieren. Aufgrund dieser vielversprechenden Simulationsergebnisse wird die Ansteuerung der ALD-Strategie im Folgenden auf einem FPGA-Board programmiert und weiter untersucht.

Im Gegensatz zur ALD- kann die ANPC-R2:1-Strategie die Verluste zwischen den inneren und äußeren Halbleitern nur für einen Arbeitspunkt $\cos(\varphi) = 1$ optimal verteilen. Um das dafür nötige Schaltmuster nach Abb. 36 zu erzeugen,

werden vier Trägersignale mit komplementär ausgeschnittenen Pulsen benötigt. Die Umsetzung der Ansteuerung wird dadurch komplexer als bei anderen Strategien. Hinzu kommt, dass bei dieser Strategie kritische Überspannungen an den inneren Halbleiter entstehen. Da die ALD- im Vergleich zur R2:1-Strategie eine größere Flexibilität, einen einfacheren Aufbau und keine Überspannungen aufweist und dazu keine nennenswerten Vorteile gegenüber der ALD-Strategie besitzt, wird die R2:1-Strategie an dieser Stelle nicht weiter untersucht.

Die OOS-Strategie erreicht in der Simulation sowohl im Nennbetrieb des Umrichters als auch bei variablen Lasten und Leistungsfaktoren für die simulierte Schaltfrequenz von 32 kHz die niedrigsten Halbleiterverluste und damit den höchsten Wirkungsgrad aller simulierten Modulationsstrategien. Dazu kommt, dass keine unerwünschten Überspannungen im Bereich der Nulldurchgänge und Maxima auftreten. Aufgrund dieser positiven Eigenschaften wird diese Strategie, obgleich sich die Verschiebung der Schaltverluste bei Erhöhung der Schaltfrequenz voraussichtlich wie bei der ANPC-11-Sync-Strategie negativ auf die Gesamtverlustverteilung auswirkt, genau wie die vielversprechenden ALD-Strategie weiter untersucht, um die Ergebnisse der Simulationen zu validieren.

	Eigenschaft	Anwendungsgebiet
ANPC-11-Sync	<ul style="list-style-type: none"> Einfache Ansteuerung Keine parasitären Überspannungen Verschiebung der Schaltverluste auf die äußeren Halbleiter 	<ul style="list-style-type: none"> Umrichter mit sehr schaltverlustarmen Halbleitern Umrichter mit niedriger Taktfrequenz
ANPC-12	<ul style="list-style-type: none"> Einfache Ansteuerung Entstehung parasitärer Überspannungen Verschiebung der Schaltverluste auf die inneren Halbleiter Vier Schalter Takten Niederfrequent 	<ul style="list-style-type: none"> Hybridumrichter, innere Schalter als SiC-MOSFETs, äußere Schalter als IGBTs ausgeführt
ANPC-DF	<ul style="list-style-type: none"> Einfache Ansteuerung Entstehung parasitärer Überspannungen Verdoppelung der Schalter-Schaltfrequenz am Brückenausgang Schaltverluste werden gleichmäßig auf die inneren und äußeren Halbleiter verteilt 	<ul style="list-style-type: none"> Hochfrequente Netzumrichter, zur Erreichung von geringen THD-Werten
ANPC-ALD	<ul style="list-style-type: none"> Schaltverluste können nach Belieben auf die inneren und äußeren Halbleiter verteilt werden Keine parasitären Überspannungen Aktive Verlustverteilung für verschiedene Arbeitspunkte 	<ul style="list-style-type: none"> Netzumrichter mit konstanten oder schwankenden $\cos(\varphi)$ Werten zur optimalen Verlustverteilung zwischen den Halbleiterbauelementen
ANPC-R2:1	<ul style="list-style-type: none"> Komplizierte Ansteuerung Entstehung parasitärer Überspannungen Halbleiterverluste können für den Arbeitspunkt $\cos(\varphi) = 1$ optimal auf die inneren und äußeren Halbleiter aufgeteilt werden. 	<ul style="list-style-type: none"> Wechselrichter im kontinuierlichem Arbeitspunkt von rund $\cos(\varphi) = 1$
ANPC-OOS	<ul style="list-style-type: none"> Einfache Ansteuerung Keine parasitären Überspannungen Geringe Durchlassverluste, somit bei niedrigen Schaltfrequenzen geringe Gesamtverluste und hohe Wirkungsgrade 	<ul style="list-style-type: none"> Realisierung hocheffizienter Umrichter bei Einsatz von entsprechend auf den Umrichter-Betrieb abgestimmten Schaltfrequenzen
ANPC-SSLD	<ul style="list-style-type: none"> Entstehung parasitärer Überspannungen Verschiebung der Durchlassverluste von den inneren zu den Mittelpunkthalbleitern Verschiebung der Ausschaltverluste von den inneren auf die äußeren Schalter 	<ul style="list-style-type: none"> Betrieb oder Optimierung von Umrichtern mit Halbleitern die hohe Durchlassverluste aufweisen

Tab. 16: Zusammenfassung von Eigenschaften und optimalen Anwendungsgebieten der simulierten Modulationsstrategien

5. FPGA Implementierung

Um die ausgewählten Modulationsstrategien ANPC-DF, -ALD und -OOZS auf einer bestehenden Niederspannungshardwaretestplattform in Betrieb zu nehmen, werden in diesem Kapitel die VHDL-Code-Teile am Beispiel der OOZS-Strategie beschrieben, die für die Erzeugung der drei Pulsmuster benötigt werden. Die so erstellten VHDL Dateien können daraufhin in ein bestehendes VHDL-Projekt integriert werden, um damit das vorliegende Intel Cyclon V SoC FPGA-Boards zu beschreiben.

Die Erstellung des VHDL-Codes erfolgt in einer für den Menschen lesbaren Textform und besteht aus verschiedenen Komponenten. Um die Vorgänge innerhalb des FPGAs vollständig zu beschreiben, müssen zunächst die verwendeten internen und externen Signale definiert werden. Die hierfür erforderliche Definition der Ein- und Ausgänge beginnt mit dem VHDL-Schlüsselwort „entity“. In Abb. 61 wird aufgezeigt, wie beispielsweise verschiedene Eingänge wie der clock Taktgebers „clk“, der Reset Port „rstn“ und die Überspannungsauslösung „tripzone“ als Eingänge oder die Halbleiterschalter T1 bis T6 „pwm10“ als Ausgänge definiert werden. Da die Ein- und Ausgänge nur die logischen Zustände Eins und Null einnehmen sollen, wird ihnen zusätzlich der Datentyp standard logic zugewiesen. Abgeschlossen wird die Definition der Ein- und Ausgänge mit dem Schlüsselwort „end“

```
entity PWM_ANPC_OOZS is
  --Ein- und Ausgänge des Boards Zuweisen
  port (
    clk          : in  std_logic;           -- Taktgeber / Clock
    rstn         : in  std_logic;           -- Reset, Active Low
    tripzonen    : in  std_logic;           -- Trip Zone, Active Low (Ueberstromausloesung)
    ...
    -- Verzoegerungszeit (50 * 10ns) & Ausgangssignal fuer die Ansteuerung der Halbleiter
    deadtime     : in  std_logic_vector(9 downto 0) := "0000110010";
    pwm10        : out std_logic_vector(6 downto 1) := "000000"
  );
end PWM_ANPC_OOZS;
```

Abb. 61: Zuweisung der Ein- und Ausgangssignale in der „entity“ des VHDL-Codes

Um die externen Ein- und Ausgabeparameter auf dem FPGA-Board zu verarbeiten, müssen im nächsten Schritt interne Signale definiert werden. Diese Definitionen werden in der sogenannten „architecture“ erstellt. Jedes der benötigten internen Signale wird erzeugt, indem zunächst das VHDL-Schlüsselwort „signal“ geschrieben, danach der Name des Signals festgelegt und diesem ein initialisierter Datentyp zugewiesen wird. In Abb. 62 werden nach diesem Prinzip beispielsweise die Signale der Periodendauer „prd_qurt_int“ sowie zwei Signale für das Sinus-Referenzsignal „cmp1_int“ & „cmp1_ABS_shadow“ als 16 bzw. 12 Bit Datentyp erstellt und auf den Wert Null initialisiert. Um zwei Signale direkt oder ein externes mit einem internen Signal zu verknüpfen, werden diese Signale im weiteren Verlauf der „architecture“ durch die Operation „<=“ miteinander verknüpft.

```
architecture RTL of PWM_ANPC_OOZS is
  --Signal klassifikation
  --Interne Sollwerte
  signal prd_qurt_int      : std_logic_vector(15 downto 0) := "0000000000000000";
  signal cmp1_int         : std_logic_vector(15 downto 0) := "0000000000000000";
  signal cmp1_ABS_shadow  : integer range 0 to 4095       := 0;
  ...
  -- Weise den Internen Signale die zugehoerigen Ein- und Ausgaenge zu
  prd_qurt_int <= prd_qurt;
  cmp1_int <= cmp1;
```

Abb. 62: Erstellung der internen Signale des VHDL-Codes und die dazugehörige Zuweisung eines Datentyps

Anders als bei Microcontroller Programmen laufen die Rechenoperationen auf einem FPGA-Board in parallelen Registern ab. Um die Ergebnisse der parallel ablaufenden Operationen registerübergreifend zu verarbeiten, wird das

Taktsignal „clk“ verwendet. Bei jeder pos. Flanke dieses Signales werden die aktuellen Werte für die Internen und externen Signale übernommen.

In einem ersten Prozess wird nach Abb. 63 das für die Modulationsstrategie erforderliche Dreieck-Trägersignal erzeugt. Für die Realisierung der Schaltmuster der ANPC-ALD- und -OOZS-Strategien werden nach Abb. 35 und Abb. 37 aus den Abschnitten 3.4 und 3.6 jeweils zwei an der Y-Achse gespiegelte Dreieck-Trägersignale benötigt. Durch die Betragsbildung des Referenzsignalwerts während des neg. Teils der Sinushalbwellen wird diese Periodenhälfte an der Y-Achse gespiegelt. Indem in einem zusätzlichen Signal das ursprüngliche Vorzeichen gespeichert wird, reicht das pos. Dreieck-Trägersignal aus, um im VHDL-Code sämtliche benötigten Vergleichsoperationen zu realisieren.

```
-- Durchzuführende Operationen bei laufenden Taktsignal
elsif (rising_edge(clk)) then
  case cnt_state is
    when stby =>
      -- Schreibe das höchstwertigste Bit des Referenzsignals in hw_shadow
      -- (bei pos. HW hw_shadow = 0 bei neg. HW hw_shadow = 1)
      hw_shadow <= cmp1_int(cmp1_int'high);
      -- Setze den Startwert fuer den Zählwert des Saegezahns
      cnt <= to_integer(unsigned(prd_qurt_int));
      -- Setze den Wert fuer die Periodendauer des Traegersignals
      prd_qurt_shadow <= to_integer(unsigned(prd_qurt_int));
      -- Schreibe den Betrag von dem aktuellen Referenzsignalwert in cmp1_ABS_shadow
      cmp1_ABS_shadow <= abs(to_integer(signed(cmp1_int)));
      -- Schreibe den vorgegebenen Wert der Verzoegerungszeit in deadtime_shadow
      deadtime_shadow <= to_integer(unsigned(deadtime_int));
      -- Wenn der Sync Wert = 1 ist wird vom Standby in den countdown Zustand gewechselt
      if sync_int = '1' then
        cnt_state <= countdown;
      end if;
      -- Fallenden Flanke des Traegersignals erzeugen
      when countdown =>
        -- Zaehler dekrementieren bis der Wert 1 erreicht wird
        cnt <= cnt - 1;
        if cnt = 1 then
          -- Wechsle in den Zustand countup
          cnt_state <= countup;
          -- Setze den Wert fuer die Periodendauer des Traegersignals
          prd_qurt_shadow <= to_integer(unsigned(prd_qurt_int));
          -- Schreibe das höchstwertigste Bit des Referenzsignals in hw_shadow
          -- (bei pos. HW hw_shadow = 0 bei neg. HW hw_shadow = 1)
          hw_shadow <= cmp1_int(cmp1_int'high);
          -- Schreibe den Betrag von dem aktuellen Referenzsignalwert in cmp1_ABS_shadow
          cmp1_ABS_shadow <= abs(to_integer(signed(cmp1_int)));
          -- Schreibe den vorgegebenen Wert der Verzoegerungszeit in deadtime_shadow
          deadtime_shadow <= to_integer(unsigned(deadtime_int));
        end if;
      ...
    end case;
  end if;
```

Abb. 63: VHDL-Code zur Erzeugung des fallenden Verlaufs des Dreieck-Trägersignals

Das erforderliche pos. Dreieck-Trägersignal wird somit in dem separaten Prozess nach Abb. 63 erzeugt. Es kann im laufenden Betrieb die Zustände Signal steigend, Signal fallend und den Standby Zustand annehmen. Mithilfe von Abb. 63 wird die programmtechnische Realisierung dieses Prozesses beschrieben. Der Prozess startet zunächst im Standby Zustand. Hier wird, indem der vorzeichenbehaftete höchste Wert des aktuellen Referenzsignalwerts in das Signal „hw_shadow“ geschrieben wird, erfasst, ob sich das Referenzsignal zum aktuellen Zeitpunkt der Berechnung in der pos. oder der neg. Halbwellen befindet. Anschließend wird der Zähler „cnt“ auf den Maximalwert des Trägersignals gesetzt. Zudem wird der Betrag des aktuellen Referenzsignalwerts in das Signal „cnt1_ABS_shadow“ übernommen und die Verzögerungszeit auf ihren Ausgangswert eingestellt. Durch das Synchronisierungssignal „sync“ wird die PWM Modulation freigegeben und der Zustand des Trägersignalgenerators wechselt auf „countdown“.

In einem Countdown Durchlauf wird der Zähler des Countdown Prozesses bei jeder pos. Flanke des Taktgebersignals um -1 dekrementiert. Dieser Vorgang wiederholt sich so lange, bis der Zähler der Countdown Prozesses den Wert Eins

erreicht. Der Zähler wird in diesem letzten Durchlauf ein letztes Mal auf dem Wert Null dekrementiert und der Betriebszustand wechselt von „countdown“ zu „countup“. Zusätzlich dazu werden, wie im Standby Zustand, der höchstwertige, vorzeichenbehaftete Wert sowie der Betrag des aktuellen Referenzsignalwerts in die Signale „hw_shadow“ und „cnt1_ABS_shadow“ übernommen. Ergänzend dazu wird die Verzögerungszeit auf ihren Ausgangswert zurückgesetzt. Entsprechend gegensätzlich ist auch der Prozess für den steigenden Signalzustand „countup“ aufgebaut.

Die logischen Verknüpfungen zur Erzeugung der internen Ansteuerungsimpulse werden in einem weiteren separaten Prozess erzeugt. In diesem Programmteil des VHDL-Codes muss für jeden möglichen Schaltzustand der Ansteuerungsstrategie eine If-Anweisung mit den entsprechenden Bedingungen des jeweiligen Schaltzustands, erstellt werden. In Abb. 64 wird eine solche Anweisung am Beispiel des P-Zustands der ANPC-00ZS-Strategie dargestellt. In dieser if-Anweisung werden folgende Bedingungen abgefragt: Ist der Wert des Referenzsignals positiv, befindet sich das Trägersignal im fallenden Zustand, ist der Wert des Zählers „cnt“ gleich den Betrag des aktuellen Werts des Referenzsignals. Treffen alle diese Bedingungen zu, werden die internen Signale zum Schalten von T1, T2 und T6 dem P-Zustand entsprechend eingeschaltet. Treffen die Bedingungen für den P-Zustand nicht zu, werden die Bedingungen der darauffolgenden Schaltzustände in der darauf folgenden elsif-Anweisung überprüft.

```
-- P-Zustand setzen
-- Wenn pos Halbwelle und Saegezahn fallend und das Referenzsignal_1 im naechsten Schritt
-- gleich groß wie das Träger-Dreieck-Signal wird, dann schalte den P-Zustand ein
if hw_shadow = '0' and cnt_state = countdown and cnt = cnt1_ABS_shadow then
    pwmT1_intern <= '1';      -- T1
    pwmT5_intern <= '0';      -- T5
    pwmT2_intern <= '1';      -- T2
    pwmT3_intern <= '0';      -- T3
    pwmT6_intern <= '1';      -- T6
    pwmT4_intern <= '0';      -- T4
end if;
```

Abb. 64: VHDL-Code zur Erzeugung der internen Signale zur Ansteuerung der Ausgänge ohne Verzögerungszeit

Zur Erzeugung einer Einschaltverzögerung für die sechs nach dem Beispiel in Abb. 64 erzeugten internen Ansteuerungssignalen „pwmT1_intern“ bis „pwmT6_intern“, wird eine weitere Prozess im VHDL-Programmcode erstellt. Zur Erzeugung der Einschaltverzögerung für den Schalter T1 wird der Programmcode nach Abb. 65 eingesetzt. Hierbei werden zunächst bei jeder pos. Flanke des Taktsignales die aktuellen Werte der internen Ansteuerungssignale in den Signalen „pwmT1_intern_old“ bis „pwmT6_intern_old“ zwischengespeichert. Die Übertragung der aktuellen Werte in die Signale „old“ erfolgt jedoch erst bei der nächsten pos. Flanke des Taktsignales. Im folgenden Programmteil kann dadurch überprüft werden, ob es zwischen dem alten und dem neuen Ansteuerungswert einen Übergang von Eins auf Null gegeben hat. Ist dies für das Signal „pwmT1_intern“ der Fall, so wird das Ausgangssignal „pwmT1_dead“ ohne Verzögerung auf den Wert Null gesetzt. Gibt es dagegen einen Übergang von Null auf Eins, wird das Verzögerungszeit-Flag gesetzt und die Verzögerungszeit auf ihren Anfangswert zurückgesetzt. Ist das interne Signal „pwmT1_intern“ in den darauffolgenden Durchgängen weiterhin pos., wird in der nachfolgenden elsif-Anweisung das Verzögerungszeitsignal so lange dekrementiert, bis es den Wert Eins erreicht. Nach dem Ablauf der Verzögerungszeit wird dann das Verzögerungszeit-Flag zurückgesetzt und das Verzögerungszeit beinhaltende Ausgangssignal „pwm_T1_dead“ gesetzt. Wird diese auf Abb. 65 basierend Anweisungsabfolge zusätzlich für die weiteren Schalter T2 bis T6 erstellt, kann, wie gewünscht, für alle sechs Schalter eine direkte Ausschaltung mit gleichzeitiger Einschaltverzögerung erzeugt werden.

```

-- Ausgegebene Schaltsignale mit Verzoegerungszeit
elsif rising_edge(clk) then
    pwmT1_intern_old <= pwmT1_intern;
    pwmT5_intern_old <= pwmT5_intern;
    pwmT2_intern_old <= pwmT2_intern;
    pwmT3_intern_old <= pwmT3_intern;
    pwmT6_intern_old <= pwmT6_intern;
    pwmT4_intern_old <= pwmT4_intern;
    ...
    -- Wenn Uebergang von 1 auf 0 fuer Schalter T1 stattgefunden hat
    if pwmT1_intern = '0' then
        -- Schalte T1 direkt und ohne Verzoegerungszeit aus
        pwmT1_dead <= '0';
        ---- Setze das Verzoegerungszeit-Flag zurueck
        deadlflag <= '0';
    -- Wenn Uebergang von 0 auf 1 fuer Schalter T1 stattgefunden hat
    elsif pwmT1_intern = '1' and pwmT1_intern_old = '0' and deadlflag = '0' then
        -- aktiviere das Verzoegerungszeit-Flag fuer T1
        deadlflag <= '1';
        -- Setze Verzoegerungszeit in den Zaehler fuer die abgelaufene
        -- Verzoegerungszeit von Verzoegerungszeitzaehler T1 ein
        deadlcnt <= deadtime_shadow;
    -- Wenn T1 intern gesetzt ist und das Verzoegerungszeit-Flag aktiviert
    -- ist, dekrementiere den Verzoegerungszeitzaehler T1
    elsif pwmT1_intern = '1' and deadlflag = '1' then
        deadlcnt <= deadlcnt - 1;
        -- Wenn der Verzoegerungszeitcounter den Wert 1 erreicht hat, dann
        -- deaktiviere das Verzoegerungszeit-Flag und Setze das Signal
        -- zum Schalten des Halbleiters T1 auf 1
        if deadlcnt = 2 then
            deadlflag <= '0';
            pwmT1_dead <= '1';
        end if;
    end if;
end if;
.
.
end if;

```

Abb. 65: VHDL-Code zur Erzeugung der Einschaltverzögerungszeit von T1

Im letzten Prozess des VHDL-Codes werden die intern errechneten Signale nach Abb. 66 an die Ausgänge des FPGA-Boards übergeben. Hierfür wird, sobald das Taktsignal „clk“ eine pos Flanke aufweist, überprüft, in welchem Zustand sich das System gerade befindet. Ist die PWM-Modulation freigegeben, werden die aktuellen Werte der mit Einschaltverzögerungszeiten versehenen Signale „pwm_T1_dead“ bis „pwm_T6_dead“ an die Ausgänge „pwm10(1)“ bis „pwm10(6)“ übergeben. In allen anderen Fällen wird die PWM-Modulation deaktiviert und die Ausgänge „pwm10(1)“ bis „pwm10(6)“ des FPGA-Boards werden ausgeschaltet.

```

-- Durchzuführende Operationen bei laufenden Taktsignal
elsif rising_edge(clk) then
    case pwm_state is
    ...
        -- Wenn PWM freigegeben ist, dann setze die PWM Ausgaenge
        -- nach dem im Programmteil "Einschaltverzoegerung fuer Signalerzeugung
        -- der ANPC-Wechselrichterschaltung" aktuell errechneten Werten
        when enable =>
            pwm10(1) <= pwmT1_dead;
            pwm10(5) <= pwmT5_dead;
            pwm10(2) <= pwmT2_dead;
            pwm10(3) <= pwmT3_dead;
            pwm10(6) <= pwmT6_dead;
            pwm10(4) <= pwmT4_dead ;
            -- In allen anderen Faellen deaktiviere die PWM
            when others =>
                pwm_state <= disable;
            end case;
    end if;
end if;

```

Abb. 66: VHDL-Code zur Erzeugung der vom FPGA-Board auszugebenden Ansteuerungssignals für die Halbleiter

Abschließend werden die hier beschriebenen VHDL-Teilcodes zur Pulsmustererzeugung der ANPC-DF, -ALD und -00ZS-Modulationsstrategien in ein bestehendes VHDL-Projekt für die Ansteuerung eines dreiphasigen ANPC-Umrichters integriert und mithilfe dieses erstellten Gesamtprojekts das vorliegende Intel Cyclon V SoC FPGA-Board beschrieben. Im folgenden Kapitel kann nun mithilfe dieses beschriebenen FPGA-Boards die Hardwareplattform in Betrieb genommen werden.

6. Inbetriebnahme und Durchführung praktischer Messungen der Modulationsstrategien ANPC-DF, -ALD und -OOZS auf einer Testplattform

Um eine Testplattform für zukünftige Untersuchungen der Modulationsstrategien ANPC-DF, -OOZS und -ALD bereitzustellen, sowie die Plausibilität der in Kapitel 4 erfassten Simulationsergebnisse zu überprüfen, werden im folgenden Kapitel 6 die drei als VHDL-Datei erstellten und auf einem FPGA-Board implementierten Ansteuerungsstrategien nacheinander in Betrieb genommen und deren Wirkungsgradkennlinien erfasst. Hierfür wird zunächst der dafür erforderliche Messaufbau beschrieben und auf die Inbetriebnahme der Schaltung eingegangen. Im darauffolgenden Abschnitt werden dann die Ergebnisse der Wirkungsgradmessungen vorgestellt und es wird abschließend darauf eingegangen, welche zusätzlichen Messungen zukünftig für weitere Untersuchungen der erfolgreich in Betrieb genommenen Hardwaretestplattform empfohlen werden.

6.1 Messaufbau und Inbetriebnahme der ANPC-Umrichter-Schaltung

Für die Durchführung der praktischen Messungen der drei zu testenden Modulationsstrategien wurde die in Kapitel 4 simulierte ANPC-Umrichter-Schaltung nach Abb. 67 als Niederspannungstestplattform aufgebaut. Die elektrischen Kenndaten der aufgebauten Schaltung können der Tab. 15 auf Seite 79 entnommen werden. Die Testplattform besteht aus einem DC-Zwischenkreis, drei ANPC-Schaltungen mit jeweils sechs 900V Silicon-Carbide Power MOSFETs vom Typ C3M0120090D, einem LCL Filter, sowie diversen Messwandlern vor und hinter der Filtereinheit. Um eine störungsfreie Ansteuerung der Halbleiter sicherzustellen, sind diese über Lichtwellenleiter (LWL) mit dem FPGA Board verbunden.

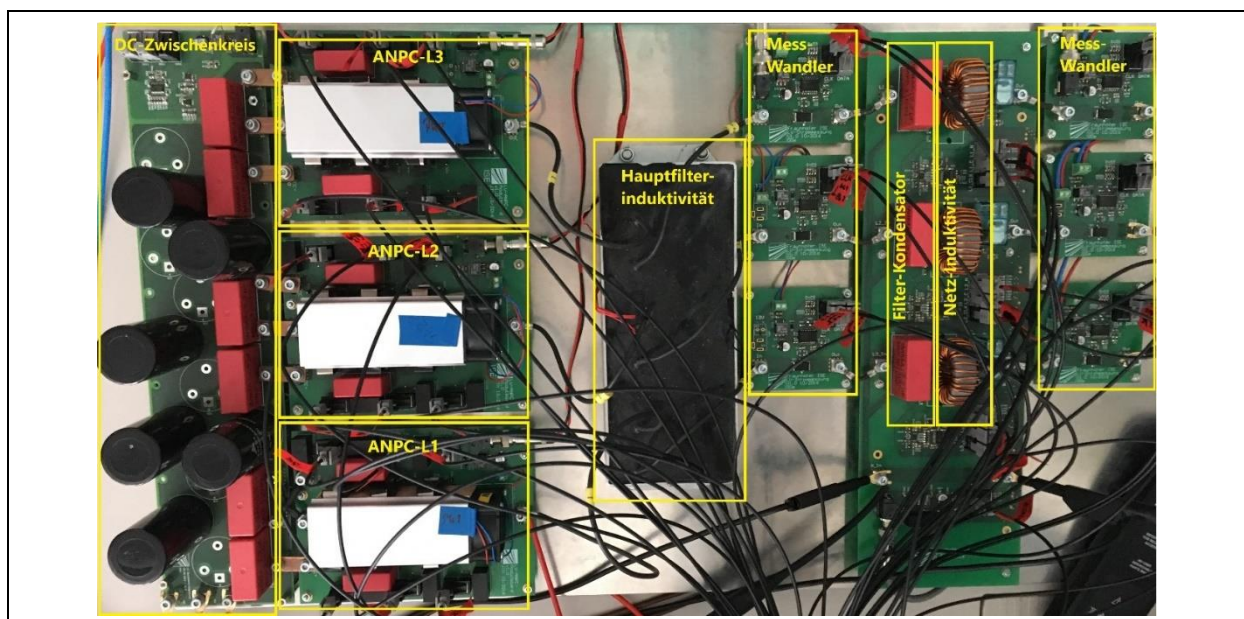


Abb. 67: Hardwaretestplattform des Niederspannungs- 3L-ANPC Umrichters

Um die gewünschten Messungen an der Testplattform durchzuführen, wird der Messaufbau nach Abb. 68 aufgebaut. Versorgt wird die Testplattform primär von einer Regatron TC64.1000.80 DC-Quelle. Für die Messung der Eingangsleistung wird diese an ein Yokogawa WT3000 Leistungsmessgerät angeschlossen. Um den Wirkungsgrad der Umrichter-Schaltung zu erfassen, muss zusätzlich die vom Umrichter an die Last abgegebene Leistung gemessen

werden. Hierfür wird der Ausgang der Umrichter-Schaltung ebenfalls an das Yokogawa Messgerät angeschlossen. Des Weiteren wird an den Ausgang der Umrichter-Schaltung eine variabel einstellbare ohmsche Last mit den Einstellbereichen 10Ω - 1000Ω angeschlossen, um den Umrichter in verschiedenen Arbeitspunkten zu betreiben. Für die Hilfsspannungsversorgung der Testplattform und des Intel Cyclon V SoC FPGA-Boards wird eine zusätzliche 12V DC-Quelle vom Typ Agilent E3648A eingesetzt. Indem diese Hilfsspannungsquelle ebenfalls an das Leistungsmessgerät angeschlossen wird, kann zusätzlich der Eigenverbrauch der Schaltung erfasst werden. Die gesamten vom Yokogawa Leistungsmessgerät erfassten Messwerte werden über eine Ethernet-Verbindung an einen PC weitergegeben. Gleichzeitig wird von diesem PC ausgehend über ein RS-232 Schnittstelle die Regatron Quelle und über eine USB-Schnittstelle das FPGA-Board angesteuert.

Um die korrekte Funktion des Umrichters zu überwachen, wird mithilfe eines zusätzlichen Oszilloskops, der Marke Tektronix vom Typ MDO4104C, die Amplitude und Pulsbreite der ANPC-Brückenausgangsspannung sowie die Form, Amplitude und Frequenz der Filter-Ausgangsspannung und des Filterausgangsstroms überwacht.

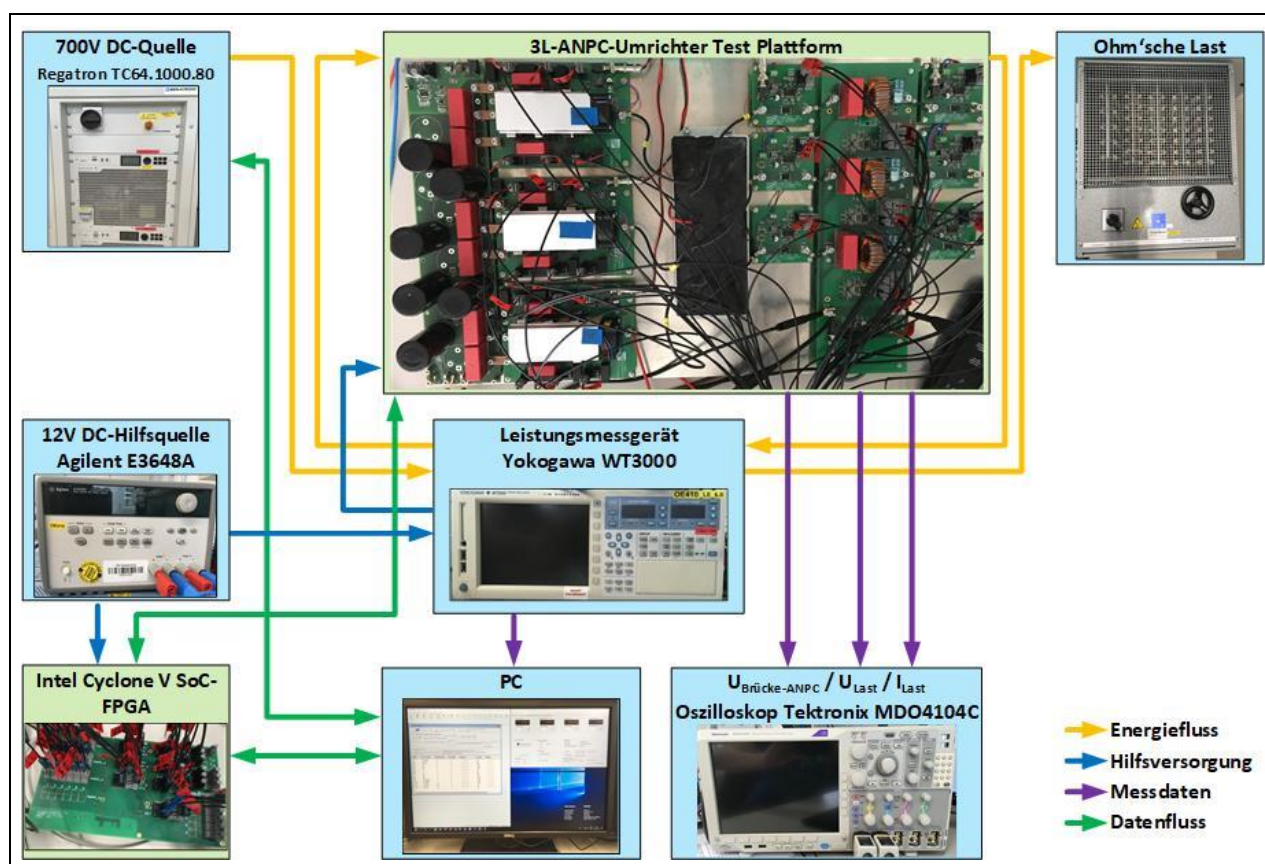


Abb. 68: Schematische Darstellung des Messaufbaus

Um die Durchführung der Messungen zu beschleunigen, wird durch eine entsprechende Programmierung des FPGA-Boards, jede der drei ANPC-Brückenschaltungen des 3L-ANPC-Umrichters mit jeweils einer der drei zu untersuchenden Modulationsstrategien angesteuert. Die durchzuführenden Messungen können hierdurch für alle drei Strategien im einphasigen Betrieb direkt hintereinander und ohne Umprogrammierung durchgeführt werden. Da die Simulationen mit ausschließlich symmetrischen Lasten durchgeführt wurden, bleiben die einphasig gemessenen Messergebnisse weiterhin mit den dreiphasig simulierten Simulationsergebnissen vergleichbar.

Bevor die Hardwaretestplattform das erste Mal mit den neu programmierten Modulationsstrategien in Betrieb genommen werden kann, muss überprüft werden, ob die Gate-Ansteuerungssignale des FPGA-Boards mit den korrekten Schaltmustern und Verzögerungszeiten an die Halbleiter weitergegeben werden. Hierfür werden die Gate-

Ansteuerungssignale des FPGA-Boards mithilfe eines Oszilloskops und sechs digitalen Tastköpfen nach Abb. 69 visualisiert. Erst nachdem die korrekten Gate-Ansteuerungsimpulse für jeden möglichen Zustandswechsel der Modulationsstrategie überprüft wurden, kann die Schaltung in Betrieb genommen werden.

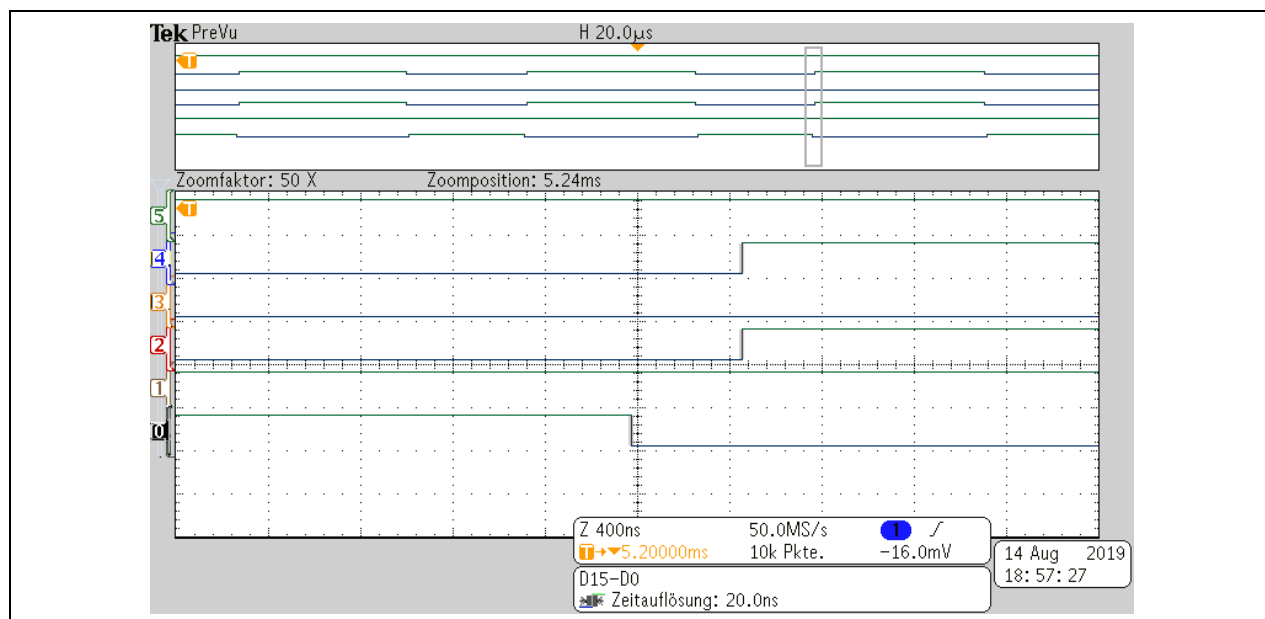


Abb. 69: Gate-Ansteuerungssignale der ANPC-OOZS-Strategie für den Zustandswechsel von Freilauf 0 zur Aktivphase P mit einer Einschaltverzögerung der Schalter T3 und T5 von 500 ns

Nach Feststellung der korrekten Pulsfolgen kann die Umrichter-Schaltung einphasig mit niedrigen Spannungen in Betrieb genommen werden. Unter kontinuierlicher Überwachung der elektrischen Umrichter-Ein- und Ausgangsgrößen kann die Spannung dann bis zur Nennspannung erhöht werden. Nach erfolgreichem Hochfahren können dann die verschiedenen Arbeitspunkte über die ohmsche-Last eingestellt werden. Unter Nennlast wird sich am Ausgang der Umrichter-Schaltung dann ein sinusförmiger Spannungs- und Stromverlauf nach Abb. 70 einstellen.

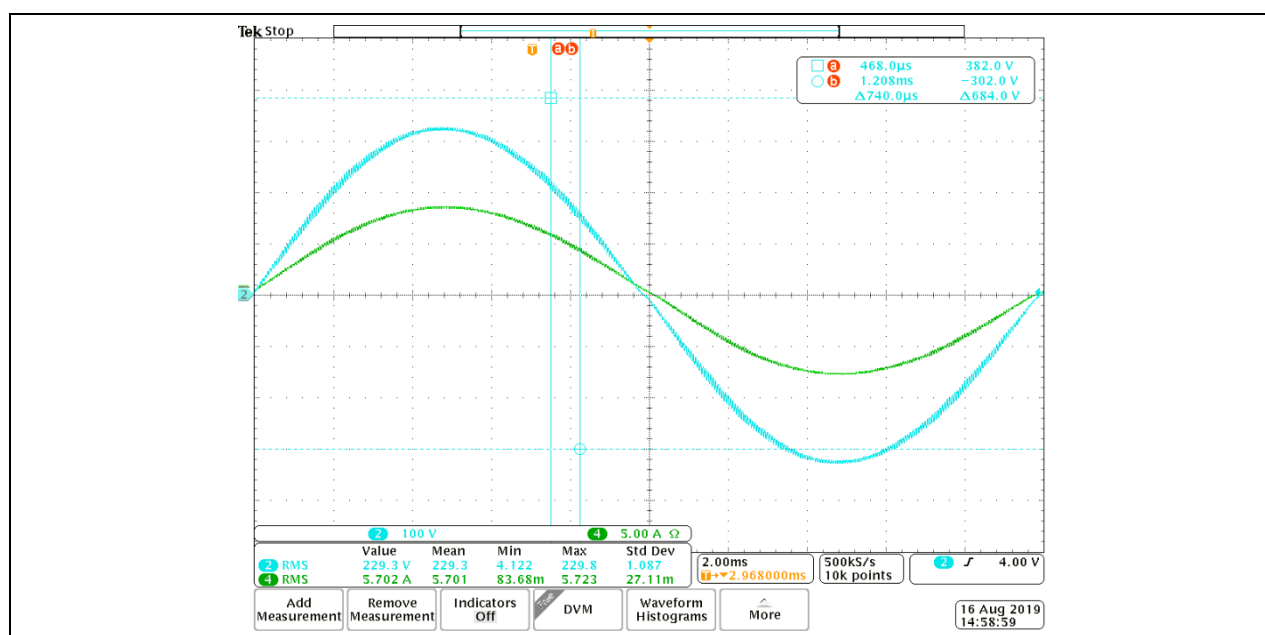


Abb. 70: Umrichter-Ausgangsstrom (grün) und -spannung (blau) der ANPC-OOZS-Strategie unter Nennlast ($P = 1,33 \text{ kW}$)

6.2 Ergebnisse der Wirkungsgradmessung für die Strategien ANPC-DF, -OOZS und -ALD in verschiedenen Lastzuständen

Für die Erfassung der drei Wirkungsgradkurven werden während der gesamten Messung die Zwischenkreisspannung $U_{\text{ZWK}} = 700 \text{ V}$ und die Parameter $U_{\text{Netz}} = 230 \text{ V}$, $f_{\text{Netz}} = 50 \text{ Hz}$ am Umrichter-Ausgang konstant gehalten. Dazu wird die ANPC-DF-Strategie mit der Schalter-Schaltfrequenz $f_s = 16 \text{ kHz}$ und die Strategien ANPC-OOZS und -ALD mit $f_s = 32 \text{ kHz}$ betrieben. Des Weiteren wird für alle Strategien einer Verzögerungszeit von 500 ns eingestellt. Bei der ANPC-ALD-Strategie wird zusätzlich zu diesen Bedingungen ein Stress-Mode von 30% Stress-In und 70% Stress-Out vorgegeben. Für die Durchführung der Wirkungsgradmessungen werden dann nacheinander für jede der drei Strategien über den einstellbaren ohmschen Widerstand der Messschaltung die Arbeitspunkte für 100%, 80%, 60%, 40%, 20%, 10% und 5% der Umrichter-Nennlast eingestellt. Für jeden dieser Arbeitspunkte werden mithilfe des Yokogawa Leistungsmessgerätes die Ein- und Ausgangsleistung der Umrichter-Schaltung erfasst. Indem diese gemessenen Leistungen über einen festgelegten Zeitraum von 20 Sekunden aufgezeichnet werden, errechnet das Messgerät aus der integrierten Leistung dieses Zeitraums die Ein- und Ausgangsenergie des Umrichters. Indem das Yokogawa Leistungsmessgerät die so gemessene Aus-, durch die Eingangsenergie teilt, errechnet es daraus direkt den Wirkungsgrad des Umrichter-Systems. Aus diesen Punktmessungen ergeben sich nach Abb. 71 die Wirkungsgradverläufe für die Modulationsstrategien ANPC-DF, -OOZS und -ALD.

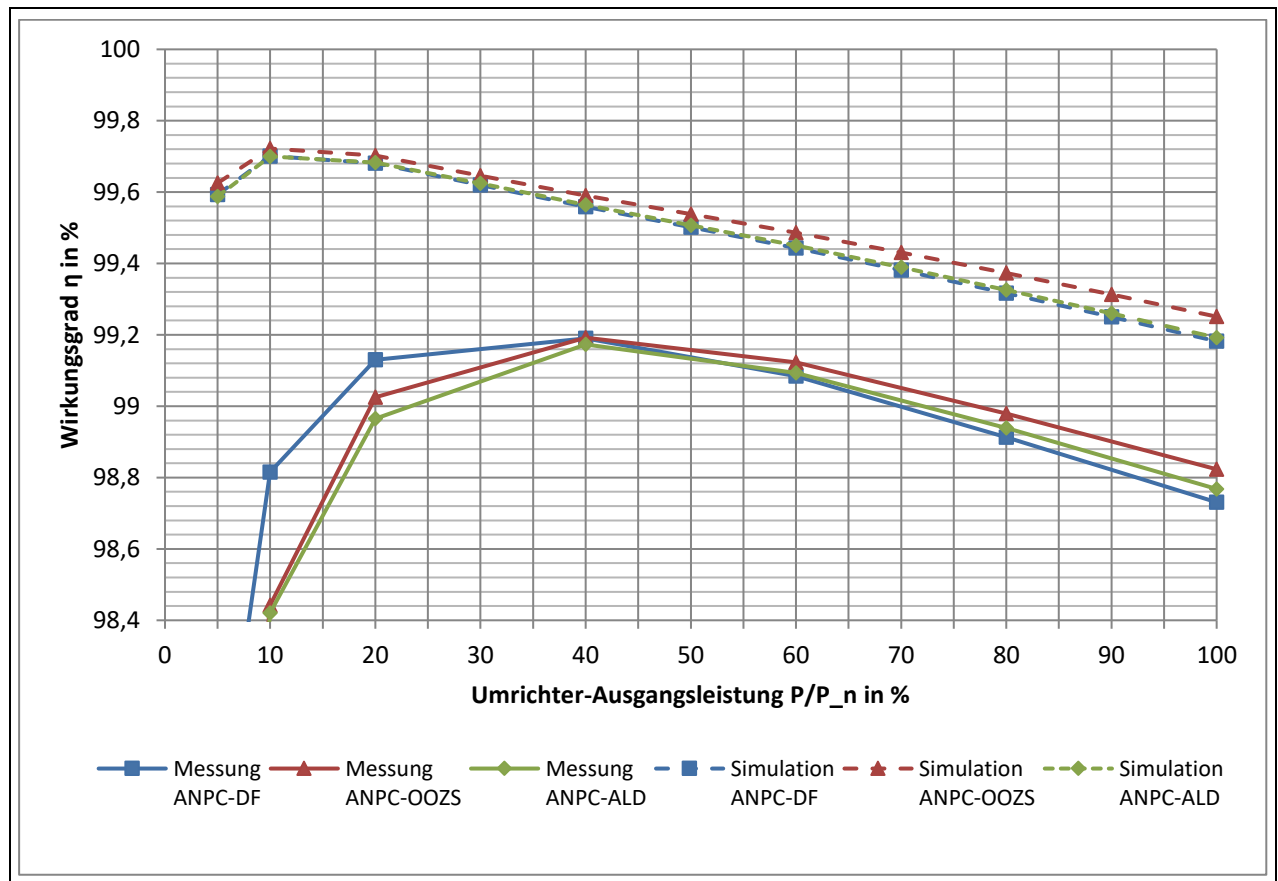


Abb. 71: Mess- (durchgezogen) und Simulationsergebnisse (gestrichelt) der Wirkungsgradmessungen für die Strategien ANPC-DF, -OOZS und -ALD in den Arbeitspunkten zwischen 10% und 100% der Umrichter-Nennlast

Werden die hier als durchgezogene Linien dargestellten gemessenen Wirkungsgradkennlinien der drei Strategien ANPC-DF, -OOZS und -ADL mit den gestrichelt dargestellten Simulationsergebnissen verglichen, zeigt sich, dass die realen Wirkungsgrade im Bereich von 40% bis 100% der Nennlast ca. 0,4% unterhalb der simulierten Ergebnisse

nahezu parallel verlaufen. Des Weiteren fällt auf, dass die Maximalwerte der realen Wirkungsgrade nicht bei 10% der Umrichter-Nennlast, sondern bereits bei 40% mit einem maximalen von $\eta = 99,2\%$ erreicht werden. Hinzu kommt, dass die realen Wirkungsgrade bei Umrichter-Lasten kleiner 40% bereits stark abfallen. Die in der Simulation erreichten höheren Wirkungsgrade kommen aller Voraussicht nach durch die idealisierte Modellierung der Verbindungs- und Filterkomponenten zustande. Im realen Umrichter sorgen diese verlustbehafteten Bauteile für erhöhte Verluste, wodurch einerseits die gesamte Wirkungsgradkurve nach unten verschoben wird und andererseits bereits früher die konstanten Umrichter-Verlust-Anteile die exponentiell fallenden Verlustanteile übersteigen.

Genau wie in der Simulation zeigt sich bei der realen Messung, dass die ANPC-OOZS Strategie beim Betrieb mit 32 kHz bei Nennlast den höchsten Wirkungsgrad der drei getesteten Strategien aufweist. Im Vergleich zur ANPC-DF-Strategie hat sie in diesem Punkt genau wie in der Simulation einen 0,1% höheren Wirkungsgrad und im Vergleich zur ANPC-ALD-Strategie einen 0,05% höheren Wirkungsgrad.

Abgesehen von der allgemeinen Verlusterhöhung bei den realen Messungen, kann insbesondere aufgrund der in den Bereichen 40% bis 100% der Umrichter-Ausgangslast nahezu parallel verlaufenden realen und simulierten Wirkungsgradkurven in einer ersten Näherung, eine Plausibilität der Simulationsergebnisse bestätigt werden. Um die in Kapitel 4 erstellten PLECS-Simulationen für weitere Untersuchungen optimal zu nutzen, wird somit empfohlen, zusätzlich Modelle der hier idealisierten betrachteten Bestandteile wie Leitungen und LCL-Filter in das PLECS Modell mitaufzunehmen.

Nachdem die Hardwaretestplattform erfolgreich mit den drei Strategien ALPC-DF, -OOZS und -ALD in Betrieb genommen wurde, können an dieser zukünftig zusätzlich zu der durchgeführten Wirkungsgradmessung noch weitere praktische Messungen durchgeführt werden. So könnte beispielsweise mithilfe einer zusätzlichen Spannungsmessung im Oszilloskop überprüft werden, ob die bei der ANPC-DF-Strategie in der Simulation ermittelten Überspannungen an den Halbleitern bei den anderen beiden Strategien, wie erwartet, ausbleiben. Zusätzlich dazu könnten mithilfe von thermischen Messungen über die Betriebstemperaturen der Halbleiter Rückschlüsse auf die Verlustverteilung zwischen den Halbleitern getroffen werden. Hierdurch kann die in der Simulation festgestellte ideale Verlustverteilung bei der ANPC-ALD-Strategie überprüft werden.

7. Schlussbetrachtung

7.1 Zusammenfassung

Ausgehend von einer detaillierten Analyse der komplexen internen Abläufe von ANPC-Umrichtern wurde in dieser Abschlussarbeit auf Basis von aktuell wissenschaftlichen Veröffentlichungen und Dissertationen einer umfassenden Literaturrecherche durchgeführt und dabei verschiedene Modulationsstrategien für den Betrieb von ANPC-Umrichtern zusammengetragen. Hierbei wurden insbesondere die S-PWM-Strategien untersucht. Um diese miteinander vergleichen zu können, wurde jede dieser S-PWM-Strategien analysiert und mit einer einheitlichen Nomenklatur versehen dargestellt. Um das Verhalten und die Besonderheiten der verschiedenen analysierten Modulationsstrategien in verschiedenen Arbeitspunkten herauszuarbeiten, wurden in einem nächsten Schritt alle untersuchten S-PWM-Strategien mit der Simulationssoftware PLECS simuliert. Mithilfe der ausgewerteten Simulationsergebnisse wurden in Kombination mit den theoretischen Analysen die Vor- und Nachteile der verschiedenen Modulationsstrategien zusammengestellt. Anhand dieser Eigenschaften wurde für jede untersuchten Modulationsstrategie ein optimales Anwendungsgebiet herausgearbeitet. Die wichtigsten Erkenntnisse aus der Simulation ergaben:

- Wird die nach Formel (14) ausgangsseitig frequenzverdoppelnde Modulationsstrategie ANPC-DF im Vergleich zu einer nicht ausgangsfrequenzverdoppelnden Modulationsstrategie mit der halben Schalter-Schaltfrequenz betrieben, erreichen beide Strategien aufgrund der sich einstellenden identischen Ausgangsschaltfrequenz die identische Oberschwingungsgüte. Jedoch entstehen bei der ANPC-DF-Strategie die gleichen Schaltverluste wie bei einer mit der doppelten Schalter-Schaltfrequenz betriebenen nicht ausgangsfrequenzverdoppelnden Strategie
- Bei der getesteten Ausgangs-Schaltfrequenz von 32 kHz treten bei der ANPC-00ZS-Strategie die geringsten Gesamtverluste und der höchste Wirkungsgrad auf. Sie eignet sich daher ideal für die Umsetzung hocheffizienter Umrichter mit einer entsprechend auf diesen Einsatz abgestimmten Schaltfrequenz.
- Bei der ANPC-11-Sync- sowie der ANPC-00ZS-Strategie werden die Schaltverluste vollständig auf die äußeren Halbleiter verschoben. Dies wirkt sich bei niedrigen Frequenzen positiv, bei hohen Frequenzen negativ auf die Verlustverteilung aus.
- Bei der Strategie ANPC-12 werden die Schalt- und Diodenverluste vollständig auf die ohnehin am stärksten belasteten inneren Halbleiter verschoben. Sie eignet sich daher nicht für den Betrieb des untersuchten vollständig aus SiC-Halbleitern bestehenden Wechselrichter. Werden jedoch die inneren Schalter als SiC-MOSFETs und die äußeren als IGBTs ausgeführt, senken die SiC-Bauelemente die bewusst nach innen verschobenen Schalt- und Durchlassverluste, wodurch mithilfe der ANPC-12-Strategie ein kosteneffizienter Hybridumrichter realisiert werden kann.
- Durch die Modulationsstrategien ANPC-ALD und -R2:1 kann für den Arbeitspunkt $P = P_n$ und $\cos(\varphi) = 1$ eine optimale Verlustverteilung zwischen den inneren und äußeren Halbleitern erreicht werden. Durch diese gleichmäßigere Verlustverteilung und die daraus resultierende Reduzierung der maximalen Bauteilbelastung kann ein baulich gleichbleibender Umrichter mit einer höheren Nennleistung betrieben werden. Zusätzlich dazu ermöglicht die ANPC-ALD-Strategie eine aktive Verlustverteilung, mit welcher für jeden beliebigen Arbeitspunkt des Umrichters eine bestmögliche Verlustverteilung erreicht werden kann.
- Bei den Modulationsstrategien ANPC-12, -DF, -R2:1 und -SSLD wurden unter Einsatz einer Verzögerungszeit von $t_{\text{delay}} = 500 \text{ ns}$ im Bereich des Nulldurchgangs kritische Überspannungen von bis zu 166% der Halbleiternennspannungen gemessen.
- Bei den Modulationsstrategien ANPC-11-Sync, -ALD und -00ZS wurden keine Überspannungen an den Halbleitern gemessen.

Auf Basis der Simulationsergebnisse wurden die ANPC-OOZS-Strategie wegen ihres hohen Wirkungsgrads und der ausbleibenden Halbleiter-Überspannungen, die ANPC-ALD-Strategie aufgrund ihrer bestmöglichen Verlustverteilung und ebenfalls ausbleibenden Halbleiter-Überspannungen, sowie die weit verbreitete ANPC-DF-Strategie zur weiteren Untersuchung auf einem FPGA-Board implementiert und damit die Niederspannungstestplattform eines dreiphasigen ANPC-Umrichters erfolgreich in Betrieb genommen. Mithilfe dieser Testplattform wurden in einem nächsten Schritt die Wirkungsgradkurven der drei implementierten Modulationsstrategien aufgezeichnet. Aufgrund von Idealisierungen in der erstellten PLECS-Simulation fallen die real gemessenen Wirkungsgradkurven wie erwartet entsprechend geringer aus als die der Simulation. Des Weiteren verlaufen die simulierten und praktisch gemessenen Wirkungsgradkurven in weiten Teilen parallel und genau wie in der Simulation erreicht die OOZS-Strategie einen höheren Wirkungsgrad als die anderen beiden Strategien. Durch diese praktischen Messergebnisse konnten die Simulationsergebnisse folglich in einem ersten Schritt verifiziert werden und es wird empfohlen, den Einsatz der Modulationsstrategien ANPC-ALD und -OOZS für den zukünftigen Betrieb von Mittelspannungsumrichtern durch weitere Tests und Messungen auf der in Betrieb genommene Niederspannungstestplattform, weiter zu untersuchen.

7.2 Ausblick

In der vorliegenden Arbeit wurden insgesamt sieben S-PWM-Modulationsstrategien ausführlich untersucht, simuliert und drei dieser Strategien auf einer Testplattform implementiert sowie durch praktische Messungen verifiziert. Mit den vorgestellten sieben Modulationsstrategien sind die Ansteuerungsmöglichkeiten der ANPC-Topologie jedoch längst nicht vollständig ausgeschöpft. So können mithilfe der in dieser Arbeit ebenfalls angeschnittenen Space-Vector-Modulationsstrategien weitere Freiheitsgrade für die Schalter-Ansteuerung genutzt werden. Es bietet sich somit an, ergänzend zu dieser Arbeit mit einem ähnlichen Vorgehen, neben den S-PWM- auch die SV-PWM-Strategien für die Ansteuern der ANPC-Topologie ausführlicher zu analysieren.

Ebenso wurde in der Ausarbeitung angesprochen, dass durch die Injektion der 3. Harmonischen auf eine S-PWM-Modulationsstrategie der Modulationsindex erhöht oder der Oberschwingungsanteil reduziert werden kann. Da hierbei die Form der Leiter-Leiter-Spannung erhalten bleibt und sich lediglich die Form der Leiter-Null-Spannung verändert, eignet sich diese zusätzliche Modifikation besonders für den Mittelspannungsbereich. Aufgrund dessen sollte in weiterführenden Tests untersucht werden, ob sich die Injektion der 3. Harmonischen mit sämtlichen S-PWM-Strategien kombinieren lässt und wie sich die Kombination der beiden Techniken auf die Funktionsweise von ANPC-Umrichtern auswirken.

Des Weiteren wurden in der Simulation des dreiphasigen ANPC-Wechselrichters nur symmetrische Lasten untersucht, sowie beim DC-Zwischenkreises, dem LCL-Filter und den Verbindungsleitungen Idealisierungen getätigt. Um zukünftig detaillierte Simulationsergebnisse zu erhalten, müssen die verlustbehafteten Bestandteile dieser Komponenten ergänzend in das erstellte PLECS-Simulationsmodell mitaufgenommen, sowie weitere Untersuchungen mit unsymmetrischen Lasten durchgeführt werden.

Zudem sollte in einer weiteren Untersuchung ausführlich geprüft werden, wie sich diese Überspannungen der ANPC-12, -DF, -R2:1 und SSLD-Strategien in der Realität auswirken und ob es dadurch zu reversiblen oder irreversiblen Beschädigungen der Halbleiterbauteile kommt, die evtl. die Lebensdauer des Umrichters beeinträchtigen können. In diesem Zusammenhang sollte ebenfalls überprüft werden, ob und wie genau das in dieser Arbeit vorgestellte Konzept zur Einbindung des universellen Nullzustandes der ANPC-OOZS-Strategie komplikationsfrei in das Schaltmuster der ANPC-DF-Strategie eingesetzt werden kann, um die kritischen Überspannungen an den Halbleitern zu unterbinden.

Durch die Inbetriebnahme der Niederspannungstestplattform des dreiphasigen ANPC-Umrichters konnten erfolgreich die Wirkungsgradkennlinien der Modulationsstrategien ANPC-DF, -ALD und -OOZS aufgenommen werden. Um das reale Verhalten diese Strategien weiter zu untersuchen, kann der Messaufbau zukünftig durch eine Thermokamera und ein Oszilloskop erweitert werden, um durch die Messung der Halbleitertemperatur Rückschlüsse auf die Verlustverteilung ziehen zu können und die Spannungen an den Halbleitern zu überwachen.

Abschließend wird in dieser Arbeit abgesehen von den Untersuchungen für den spezifischen Einsatz im Mittelspannungsbereich darauf aufmerksam gemacht, dass sich die ANPC-12-Strategie gut für die Umsetzung eines kostengünstigen und effizienten Hybridumrichter eignet. Ausgehend davon, sollte in einer Wirtschaftlichkeitsrechnung untersucht werden, welches Potential ein solcher Hybridumrichter in Kombination mit der ANPC-12-Strategie liefern kann.

8. Literaturverzeichnis

References

- [1] Fraunhofer ISE, *Unser Leitbild - Vision, Mission und Leitsätze des Fraunhofer ISE*. [Online] Available: <https://www.ise.fraunhofer.de/de/ueber-uns/leitbild.html>. Accessed on: Aug. 18 2019.
- [2] Bundesministerium für Wirtschaft und Energie, “Die Klimakonferenz in Paris,” Sep. 2017. [Online] Available: <https://www.bmu.de/themen/klima-energie/klimaschutz/internationale-klimapolitik/pariser-abkommen/>. Accessed on: Apr. 09 2019.
- [3] Bundesministerium für Wirtschaft und Energie, “Die Energie der Zukunft - Sechster Monitoring-Bericht zur Energiewende: Berichtsjahr 2016 - Kurzfassung,” Jun. 2018. [Online] Available: <https://www.bmwi.de/Redaktion/DE/Publikationen/Energie/sechster-monitoring-bericht-zur-energiewende.html>. Accessed on: Apr. 09 2019.
- [4] Deutscher Bundestag, “Einstimmiges Ja zum Pariser Klimaabkommen,” Sep. 2016. [Online] Available: <https://www.bundestag.de/dokumente/textarchiv/2016/kw38-de-klima-459220>. Accessed on: Apr. 09 2019.
- [5] Gesetzentwurf der Bundesregierung, *Entwurf eines Gesetzes zu dem Übereinkommen von Paris vom 12. Dezember 2015*. [Online] Available: <https://www.bmu.de/gesetz/gesetzesentwurf-eines-gesetzes-zu-dem-uebereinkommen-von-paris-vom-12-dezember-2015/>. Accessed on: Apr. 09 2019.
- [6] Umweltbundesamt, “Berichterstattung unter der Klimarahmenkonvention der Vereinten Nationen und dem Kyoto-Protokoll 2017: Nationaler Inventarbericht zum Deutschen Treibhausgasinventar 1990 – 2015,” Dessau-Roßlau, Apr. 2017. [Online] Available: <https://www.umweltbundesamt.de/publikationen/berichterstattung-unter-der-klimarahmenkonvention-3>. Accessed on: Apr. 09 2019.
- [7] Deutscher Bundestag, “Die Beschlüsse des Bundestages am 30. Juni und 1. Juli: Atomausstieg,” Jan. 2011. [Online] Available: https://www.bundestag.de/dokumente/textarchiv/2011/34915890_kw26_angenommen_abgelehnt-205788. Accessed on: Apr. 09 2019.
- [8] TenneT TSO GmbH, “HGÜ- Erdkabel: Erdverkabelung bei HochspannungsGleichstrom-Übertragung (HGÜ),” Oct. 2025. [Online] Available: https://www.tennet.eu/fileadmin/user_upload/Our_Grid/Onshore_Germany/Allgemein/151022_HGUE_Erdekabel_1_.pdf. Accessed on: Apr. 09 2019.
- [9] A. Karle, *Elektromobilität: Grundlagen und Praxis*, 3rd ed. München: Fachbuchverlag Leipzig im Carl Hanser Verlag, 2018.
- [10] F. Jenni and D. Wüest, *Steuerverfahren für selbstgeführte Stromrichter*. Zürich, Stuttgart: Vdf, Hochsch.-Verl. an der ETH Zürich; Teubner, 1995.
- [11] D. Schröder and R. Marquardt, Eds., *Leistungselektronische Schaltungen: Funktion, Auslegung und Anwendung*, 4th ed. Berlin, Heidelberg: Springer Berlin Heidelberg, 2019.
- [12] D. Oeding and B. R. Oswald, *Elektrische Kraftwerke und Netze*, 7th ed. Heidelberg: Springer, 2011.
- [13] Christian Schöner, “Vergleich von 600V SiC-, GaN- und Si-Transistoren in verschiedenen Dreipunkt-Topologien für PV-Wechselrichter,” Diplomarbeit, Lichttechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2013.
- [14] S. Bernet, Ed., *Selbstgeführte Stromrichter am Gleichspannungszwischenkreis*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2012.
- [15] Fangzhou Yu, “Development and Investigation of a Three-Level Flying-Capacitor Inverter Based on Silicon Carbide MOSFETs,” Masterthesis, Institut für Stromrichtertechnik und Antriebsregelung, Technische Universität Darmstadt, Darmstadt, 2018.
- [16] J. Specovius, *Grundkurs Leistungselektronik: Bauelemente, Schaltungen und Systeme*, 9th ed. Wiesbaden: Springer Fachmedien Wiesbaden GmbH, 2018.

- [17] Yi Deng, "Modulation, Control, and Applications of Multilevel converter for power systems with high penetration of Wind energy," Dissertation, School of Electrical and Computer, Georgia Institute of Technology, Atlanta, 2016.
- [18] Dipl.-Ing. Sidney Gierschner, "Analyse des Einflusses von rückwärts leitfähigen IGBTs auf die Leistungsfähigkeit und Lebensdauer von Dreipunktumrichtern," Dissertation, Fakultät für Informatik und Elektrotechnik, Universität Rostock, Rostock, 2017.
- [19] Jeffrey Bauch, "MOSFET vs. IGBT: When it comes to SMPS applications, both transistors have their advantages, but which one's right for you?," Mar. 2011. [Online] Available: https://www.electronicproducts.com/Analog_Mixed_Signal_ICs/Discrete_Power_Transistors/MOSFET_vs_IGBT.aspx. Accessed on: May 16 2019.
- [20] D. Schröder, *Leistungselektronische Bauelemente*, 2nd ed. Berlin, Heidelberg, New York: Springer, 2006.
- [21] Semikron innovation + service, *Applikationshandbuch Leistungshalbleiter*, 2nd ed.: ISLE Steuerungstechnik und Leistungselektronik, 2015.
- [22] Gehrke, *Digitaltechnik*: Springer Berlin Heidelberg, 2016.
- [23] R. Gessler, *Entwicklung Eingebetteter Systeme: Vergleich von Entwicklungsprozessen für FPGA-und Mikroprozessor-Systeme Entwurf auf Systemebene*. Wiesbaden: Vieweg + Teubner, 2014.
- [24] B. Sahan, *Wechselrichtersysteme mit Stromzwischenkreis zur Netzanbindung von Photovoltaik-Generatoren*. Kassel: Kassel Univ. Press, 2010.
- [25] D. Floricau, E. Floricau, and M. Dumitrescu, "Natural doubling of the apparent switching frequency using three-level ANPC converter," in *2008 International School on Nonsinusoidal Currents and Compensation*, Lagow, Poland, Jun. 2008 - Jun. 2008, pp. 1–6.
- [26] L. Ma *et al.*, "A New PWM Strategy for Grid-Connected Half-Bridge Active NPC Converters With Losses Distribution Balancing Mechanism," *IEEE Trans. Power Electron.*, vol. 30, no. 9, pp. 5331–5340, 2015.
- [27] H. Messaoudi, A. B. B. Abdelghani, N. M. Bellaaj, and M. Orabi, "Thermal performance-based comparative study of PWM strategies for three-level ANPC converter," in *2016 7th International Renewable Energy Congress (IREC)*, Hammamet, Mar. 2016 - Mar. 2016, pp. 1–6.
- [28] B. Zhang *et al.*, "A new PWM strategy for three-level Active NPC converter," in *2013 International Conference on Electrical Machines and Systems (ICEMS)*, Busan, Oct. 2013 - Oct. 2013, pp. 1792–1795.
- [29] E. Gurbinar *et al.*, "Performance analysis of SiC MOSFET based 3-level ANPC grid-connected inverter with novel modulation scheme," in *2014 IEEE 15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Santander, Spain, Jun. 2014 - Jun. 2014, pp. 1–7.
- [30] Y. Jiao and F. C. Lee, "New Modulation Scheme for Three-Level Active Neutral-Point-Clamped Converter With Loss and Stress Reduction," *IEEE Trans. Ind. Electron.*, vol. 62, no. 9, pp. 5468–5479, 2015.
- [31] G. Zhang *et al.*, "Loss distribution analysis of three-level active neutral-point-clamped (3L-ANPC) converter with different PWM strategies," in *2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC)*, Auckland, New Zealand, Dec. 2016 - Dec. 2016, pp. 1–6.
- [32] Q.-X. Guan *et al.*, "An Extremely High Efficient Three-Level Active Neutral-Point-Clamped Converter Comprising SiC and Si Hybrid Power Stages," *IEEE Trans. Power Electron.*, vol. 33, no. 10, pp. 8341–8352, 2018.
- [33] David Derix, "Entwicklung einer pulsmusteroptimierten Ansteuerung eines 3-Punkt-Wechselrichters mittels Raumzeigermodulation," Diplomarbeit, Fakultät für Elektro- und Informationstechnik, Karlsruher Institut für Technologie, Karlsruhe, 2011.
- [34] Plexim GmbH, "PLECS - The Simulation Platform for Power Electronic Systems: User Manual Version 4.3," Zurich, 2019. [Online] Available: <https://www.plexim.com/de/download/documentation>.
- [35] Plexim GmbH, *Elektrische Schaltungen - Komponenten speziell für die Leistungselektronik*. [Online] Available: <https://www.plexim.com/de/plecs/electrical>.
- [36] I. Cree, "Datenblatt: C3M0120090D - Silicon Carbide Power MOSFET - C3MTM MOSFET Technology," Nov. 2015. [Online] Available: <https://html.alldatasheet.com/html-pdf/798448/CREE/C3M0120090D/842/8/C3M0120090D.html>. Accessed on: Jun. 20 2019.

9. Anhänge

9.1 PLECS-Verlustmodelle für E_{on} , E_{off} und E_{cond} für den Leistungs-MOSFET vom Typ C3M0120090D

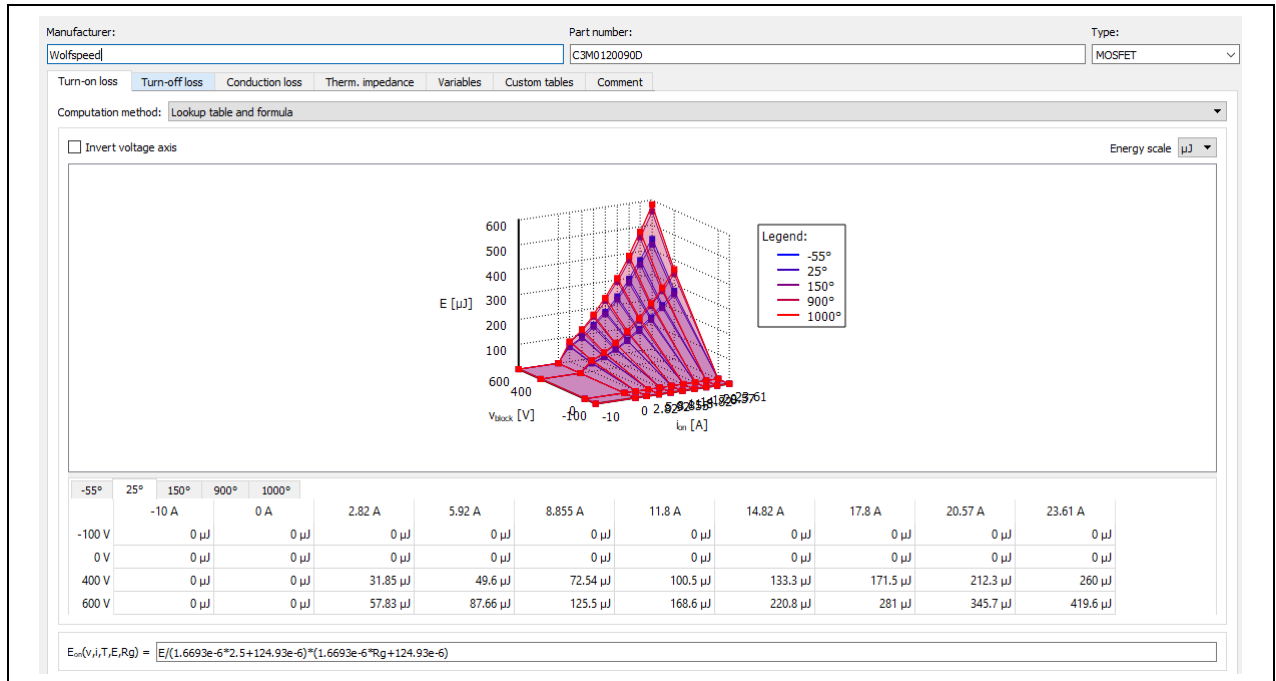


Abb. 72: PLECS-Verlustmodell der Einschaltverluste des SiC-MOSFETs C3M0120090D

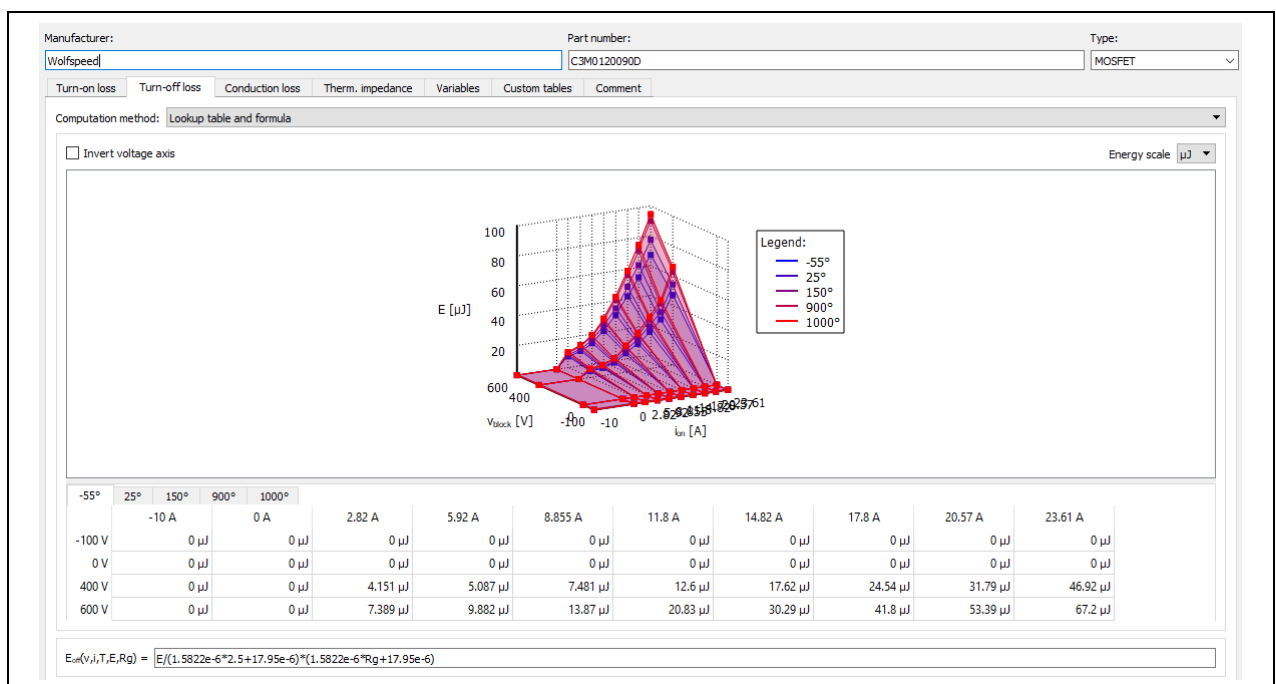


Abb. 73: PLECS-Verlustmodell der Ausschaltverluste des SiC-MOSFETs C3M0120090D

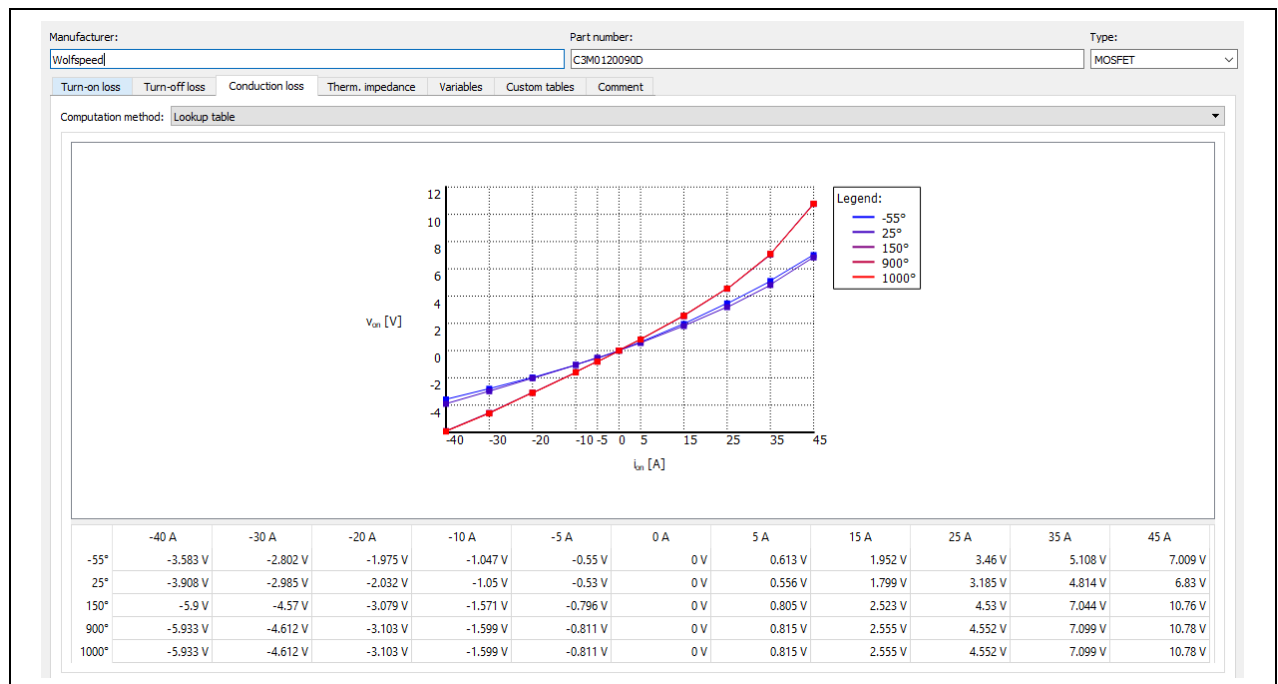


Abb. 74: PLECS-Verlustmodell der Durchlassverluste des SiC-MOSFETs C3M0120090D

9.2 Berechnung des ohmschen Widerstands für die Lastzustände zwischen 5% und 110% Umrichter-Nennlast

Berechnung der Prozentualen Ausgangsleistung

$$P(x) = x * P_{nenn}, \quad \text{mit } x = \{0,1, 0,2, \dots, 1, 1,1\}$$

Berechnung des ohmschen Widerstandes für die Prozentuale Ausgangsleistung

$$R = \frac{U^2}{P(x)}$$

Dezimaler Lastanteil	Prozentualer Lastanteil	Wirkleistung P	Ohmsche Last R:
0,05	P = 5 %	66,65	793,6984246
0,1	P = 10 %	133,30	396,8492123
0,2	P = 20 %	266,60	198,4246062
0,3	P = 30 %	399,90	132,2830708
0,4	P = 40 %	533,20	99,21230308
0,5	P = 50 %	666,50	79,36984246
0,6	P = 60 %	799,80	66,14153538
0,7	P = 70 %	933,10	56,69274461
0,8	P = 80 %	1066,40	49,60615154
0,9	P = 90 %	1199,70	44,09435692
1	P = 100 %	1333,00	39,68492123
1,1	P = 110 %	1466,30	36,07720112

Tab. 17: Berechnete Zahlenwerte für die ohmschen Widerstände R für verschiedene Lastzustände des Umrichters von 5% bis 110% Nennlast

9.3 Berechnung von R und L für verschiedene Arbeitspunkte

$$\underline{S} = \underline{U} * \underline{I}^*$$

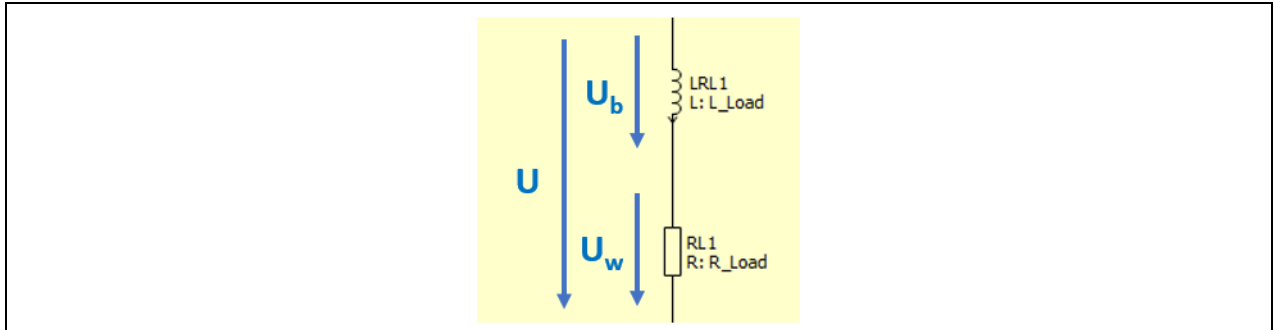


Abb. 75: Ersatzschaltbild für die einphasige Netzlast bestehend aus der Induktivität L und dem ohmschen Anteil R

Formel zur Bestimmung der ohmschen Lastanteile für die verschiedenen Arbeitspunkte:

$$R = \frac{U_n^2}{S_n} * \cos \varphi$$

Formel zur Bestimmung der induktiven Lastanteile für die verschiedenen Arbeitspunkte:

$$L = \frac{U_n^2}{2 * \pi * f * S_n} * \sin(\varphi), \quad \text{mit } \sin(\varphi) = \sin(\cos(k)^{-1}) \text{ und } k = \{1, 0, 9, \dots, 0\}$$

$\cos(\varphi)$	φ	R	L
1	0	39,68492123	0
0,9	0,451026812	35,71642911	0,055062059
0,8	0,643501109	31,74793698	0,075792617
0,7	0,79539883	27,77944486	0,090211258
0,6	0,927295218	23,81095274	0,101056822
0,5	1,047197551	19,84246062	0,109397219
0,4	1,159279481	15,87396849	0,115775134
0,3	1,266103673	11,90547637	0,12050258
0,2	1,369438406	7,936984246	0,123768825
0,1	1,470628906	3,968492123	0,125687836
0	1,570796327	0	0,126321028

Tab. 18: Berechnete Zahlenwerte für R und L für verschiedene Arbeitspunkte des Wechselrichters von $\cos(\varphi)$ 1 bis 0 in Zehntel-Schritten

9.4 Aufbau der Messung für Schein-, Wirk- und Blindleistung sowie Wirkungsgrad in der PLECS-Simulation

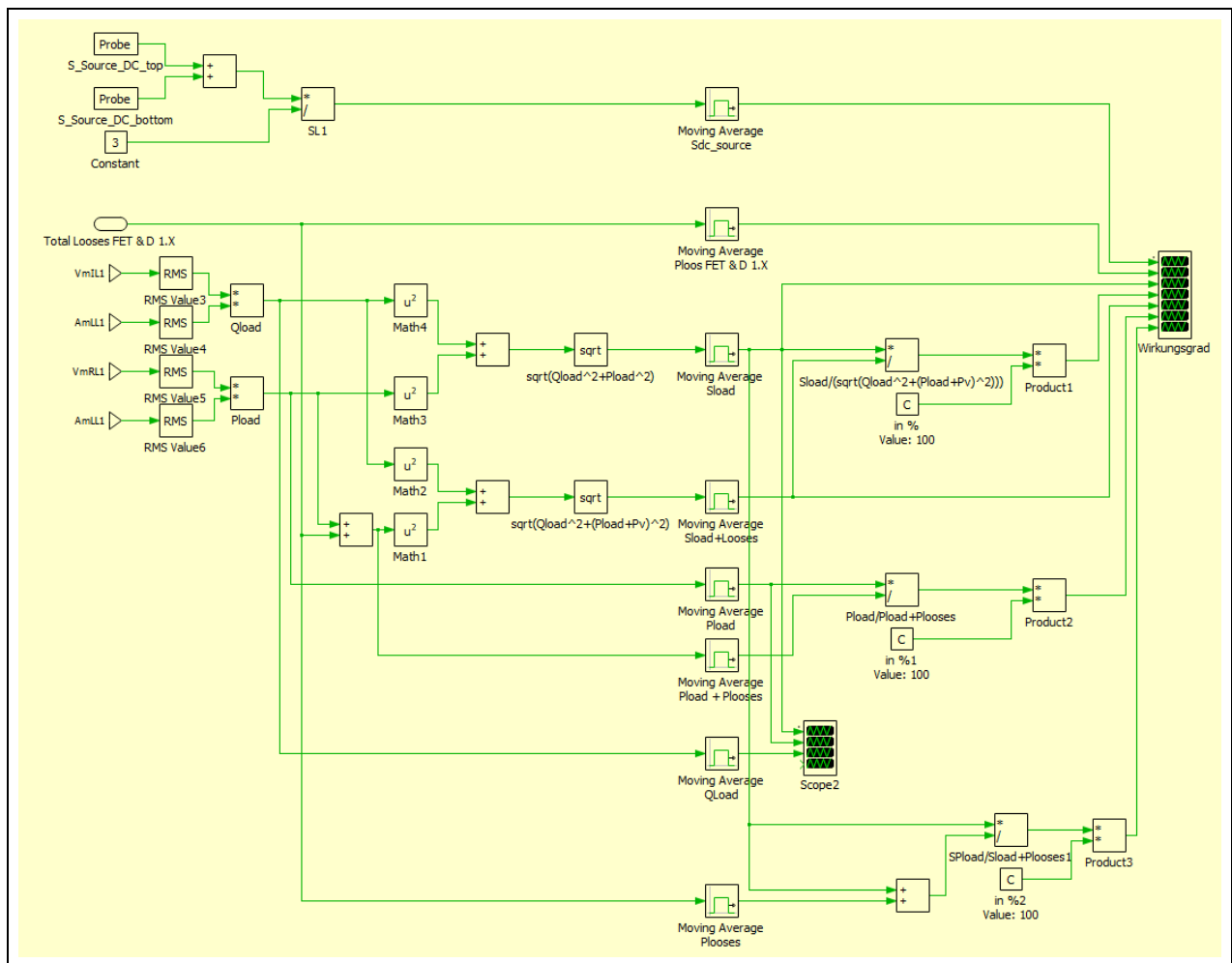


Abb. 76: Aufbau der Messung für Schein-, Wirk- und Blindleistung sowie Wirkungsgrad in der PLECS-Simulation

9.5 PLECS-Ansteuerungscontroller zur Simulation der S-PWM-Modulationsstrategien ANPC-11-Sync, -12, -DF, -ALD, -R2:1, -OOZS und -SSLD

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-11-Sync

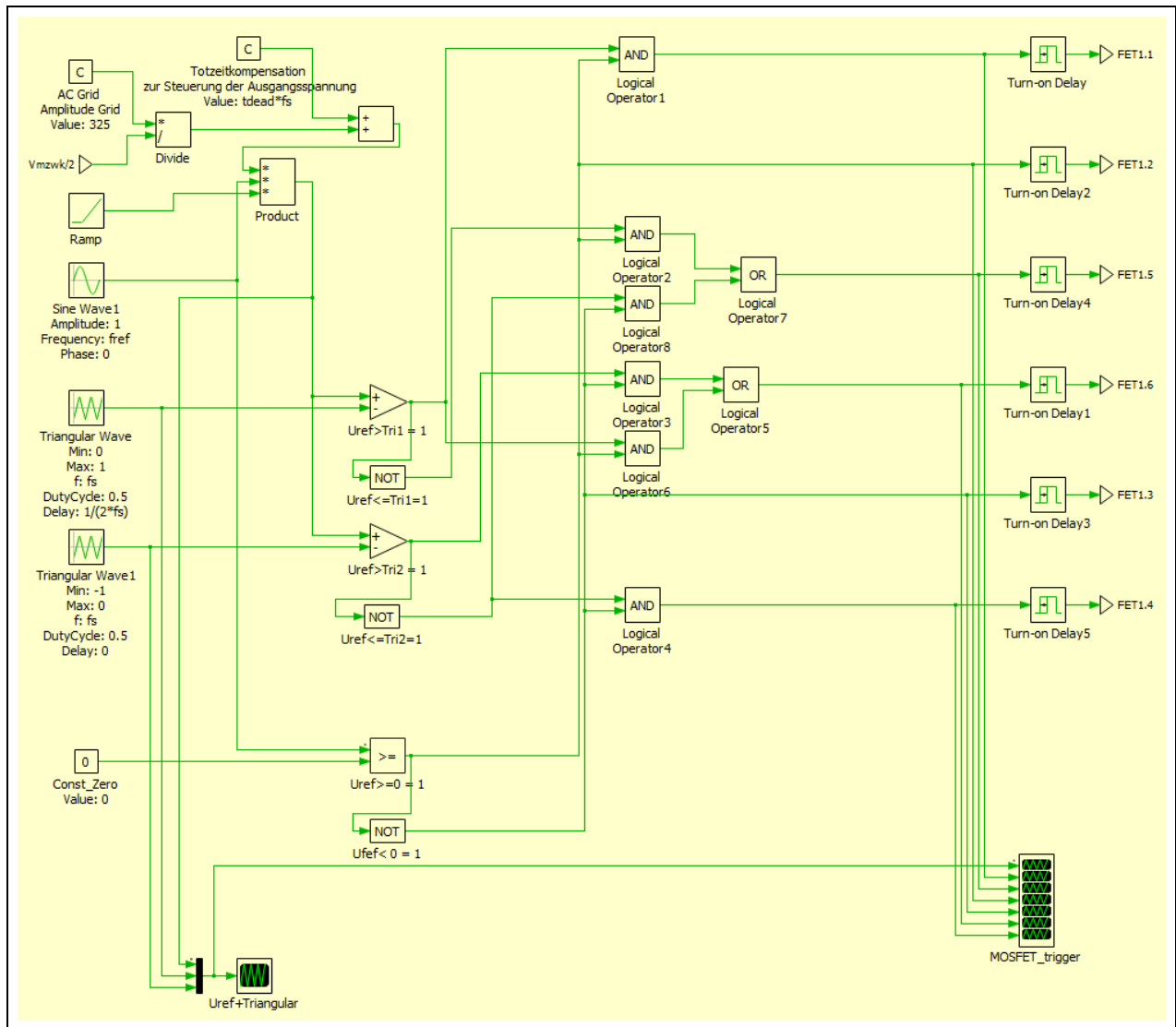


Abb. 77: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-11-Sync in PLECS

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-12

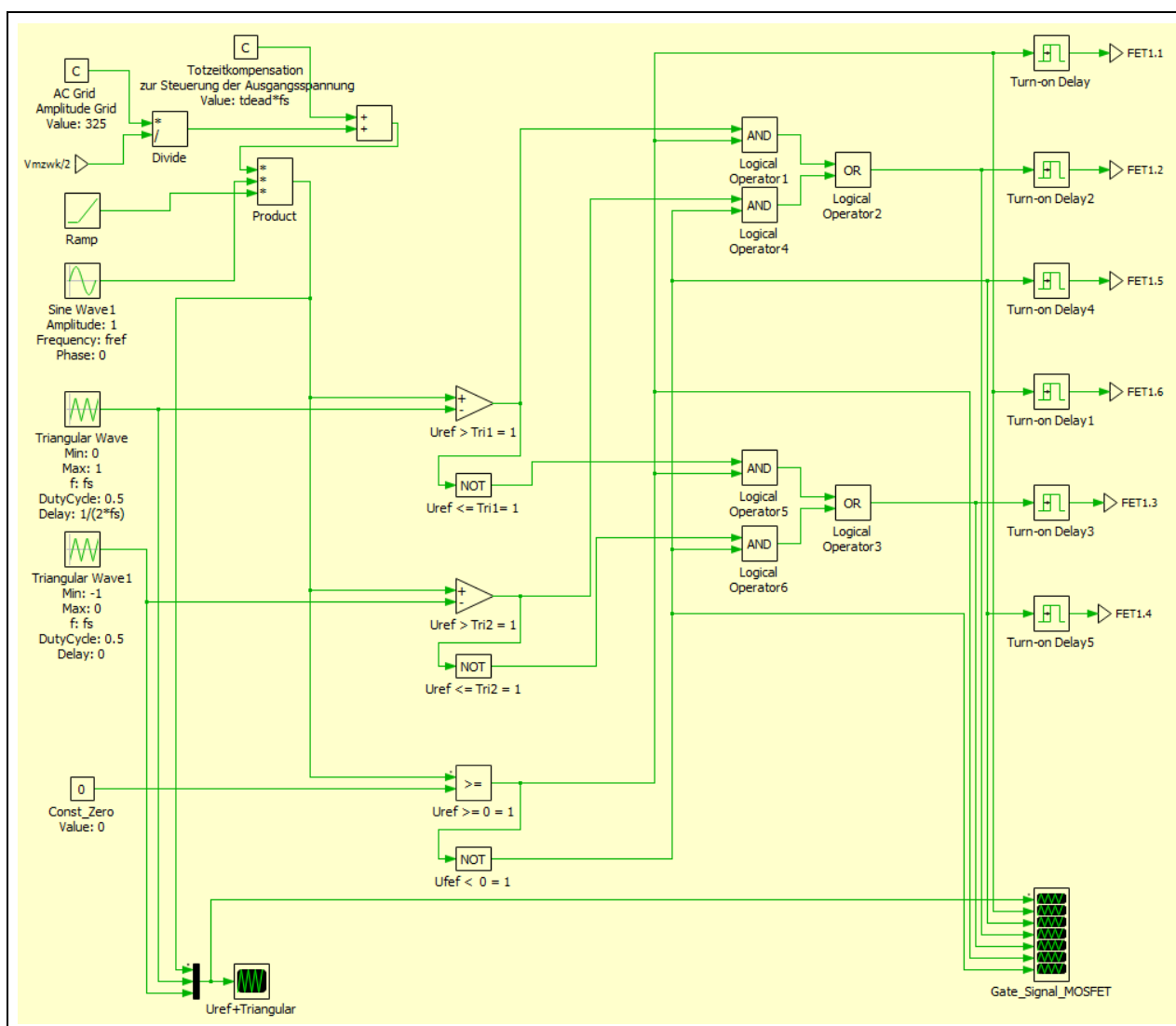


Abb. 78: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-12 in PLECS

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-DF

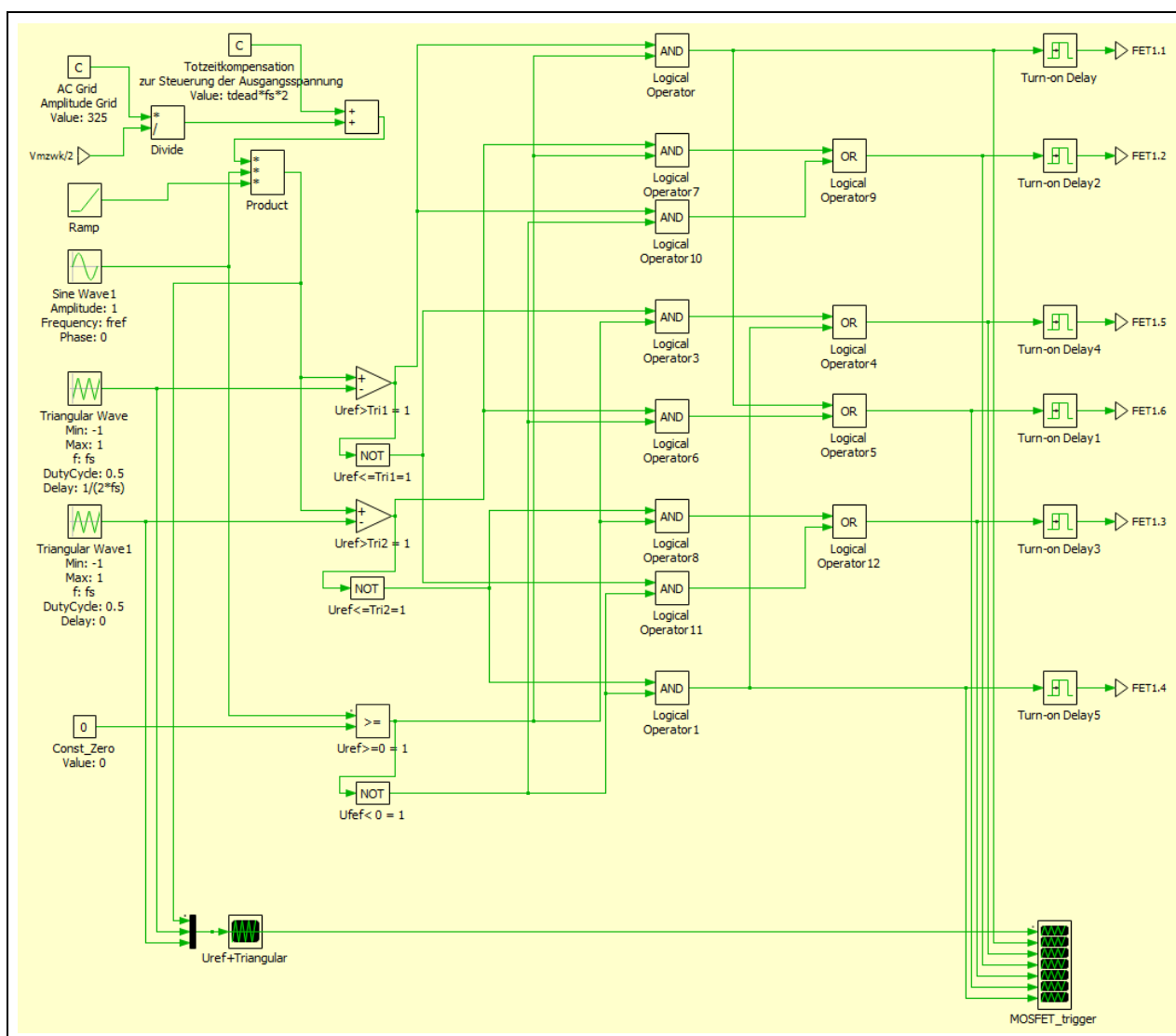


Abb. 79: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-DF in PLECS

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-ALD

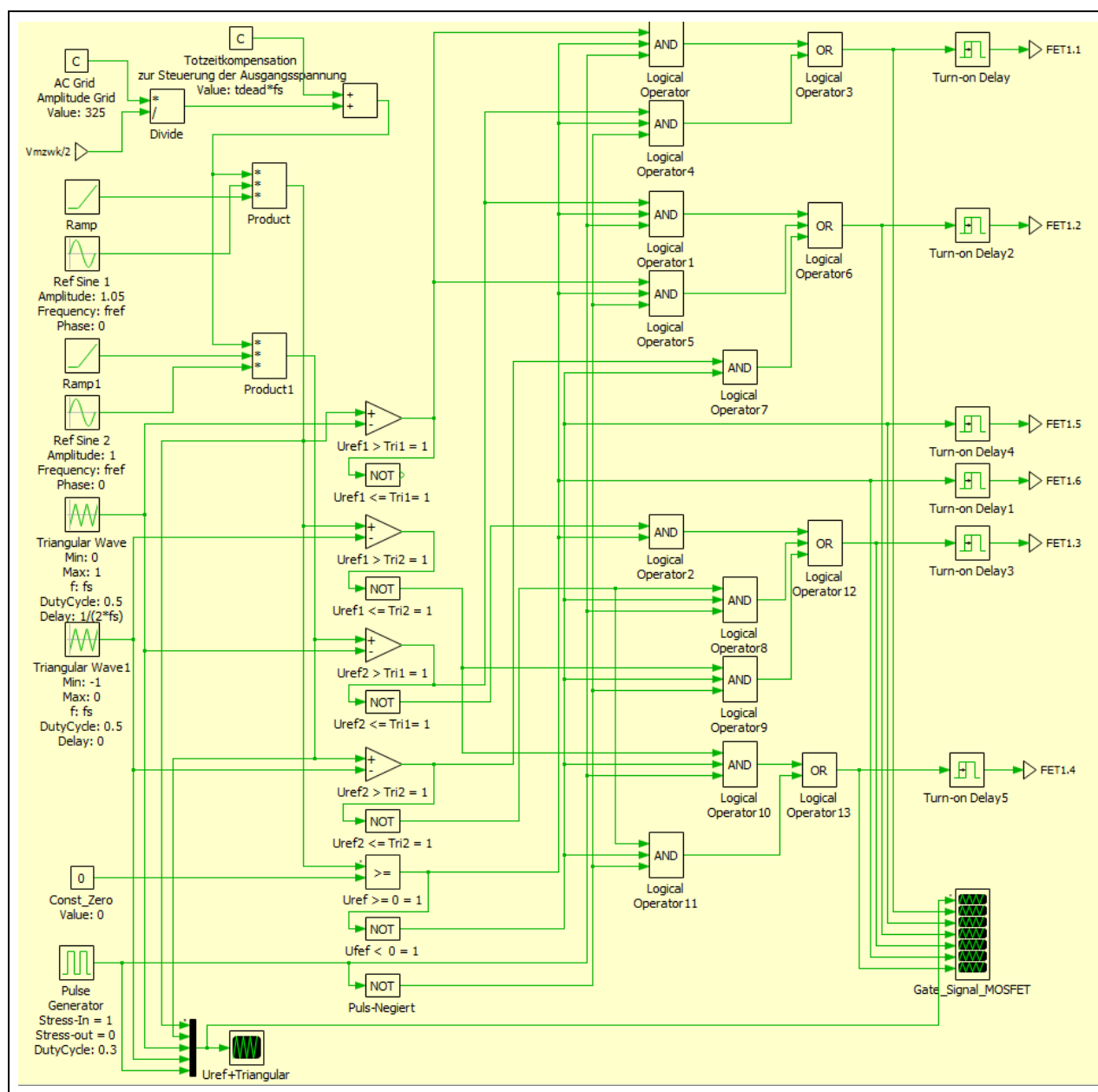


Abb. 80: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-ALD in PLECS

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-R2:1

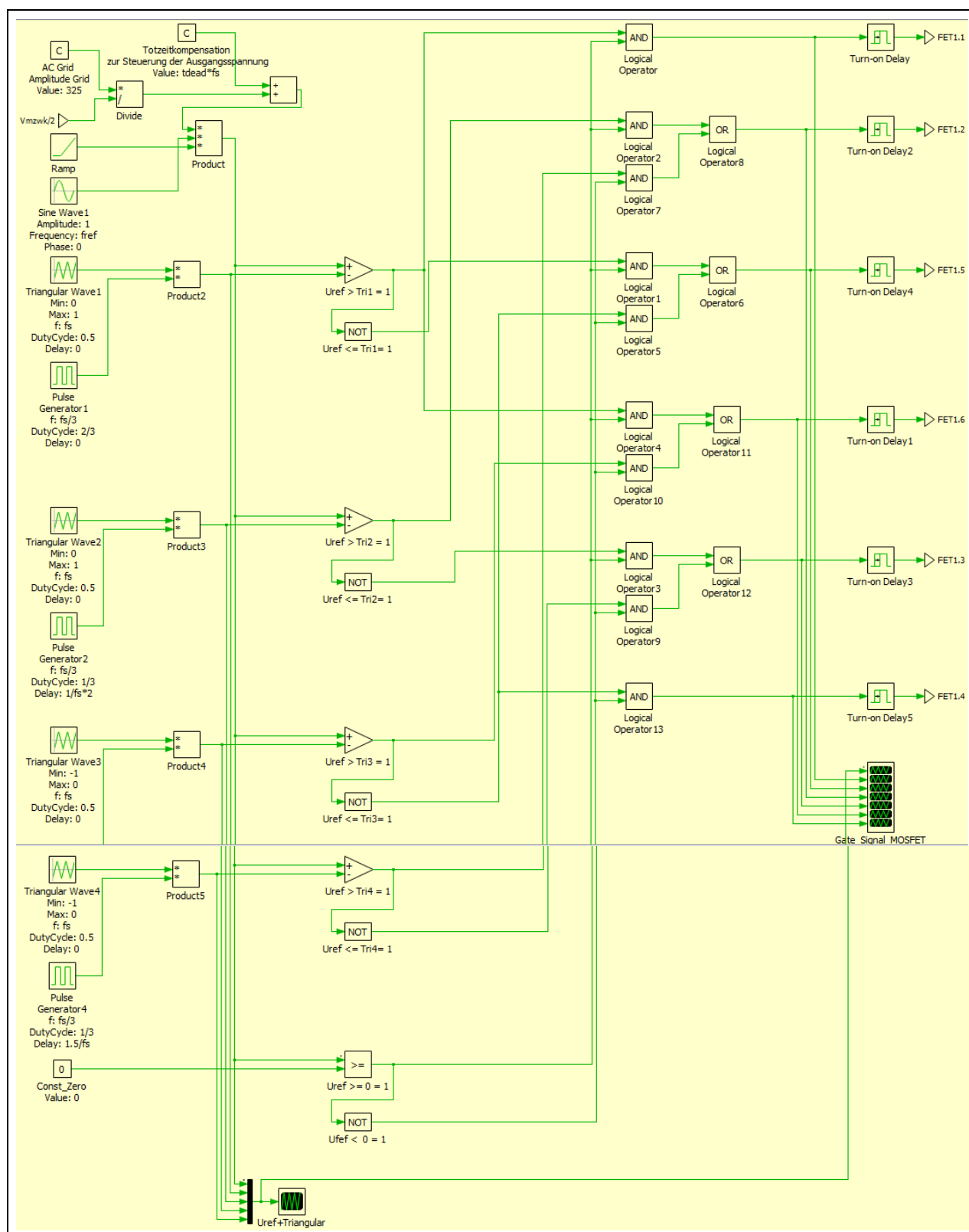


Abb. 81: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-R2:1 in PLECS

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-00ZS

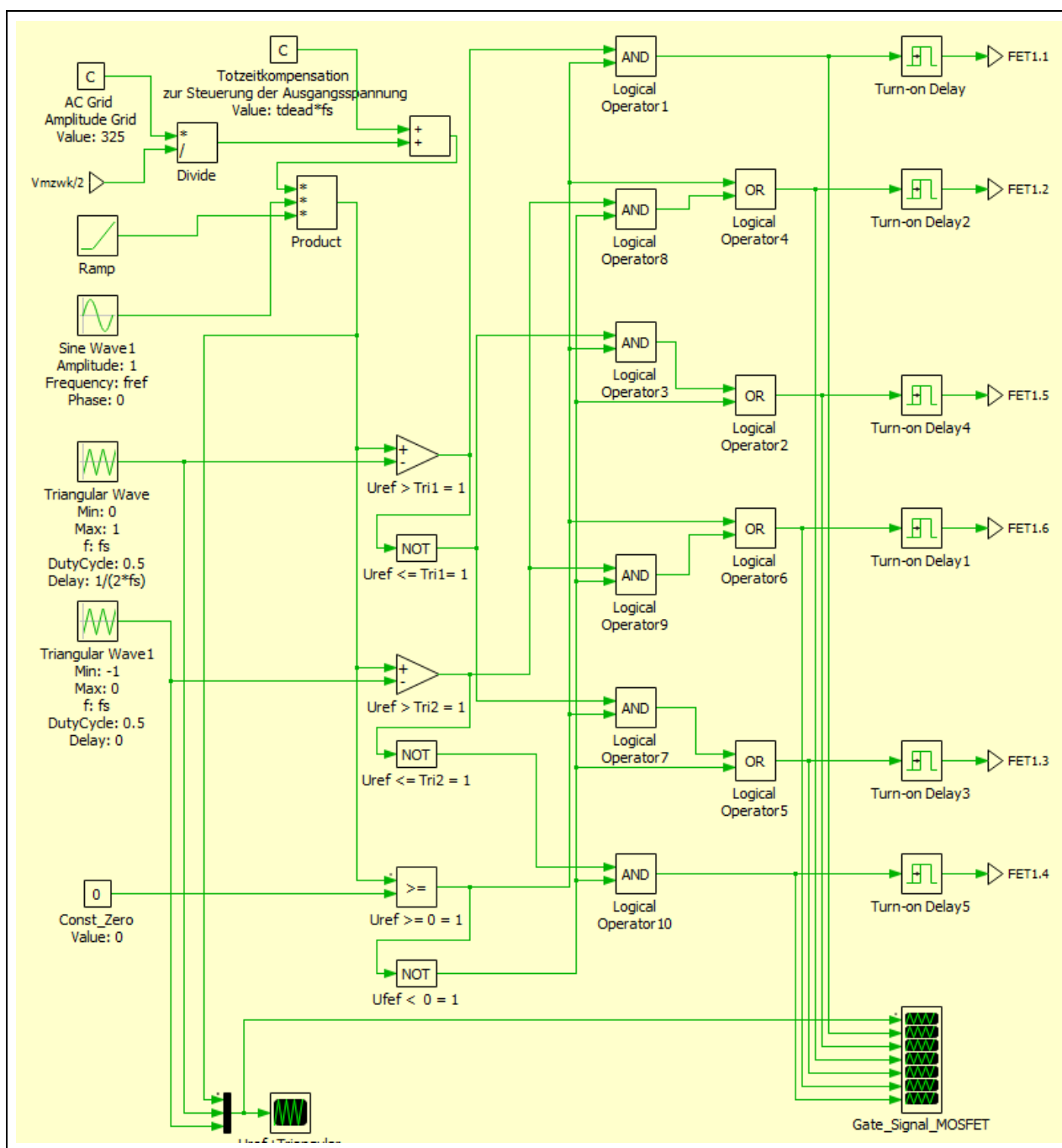


Abb. 82: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-00ZS in PLECS

PLECS-Ansteuerungscontroller der Modulationsstrategie ANPC-SSLD

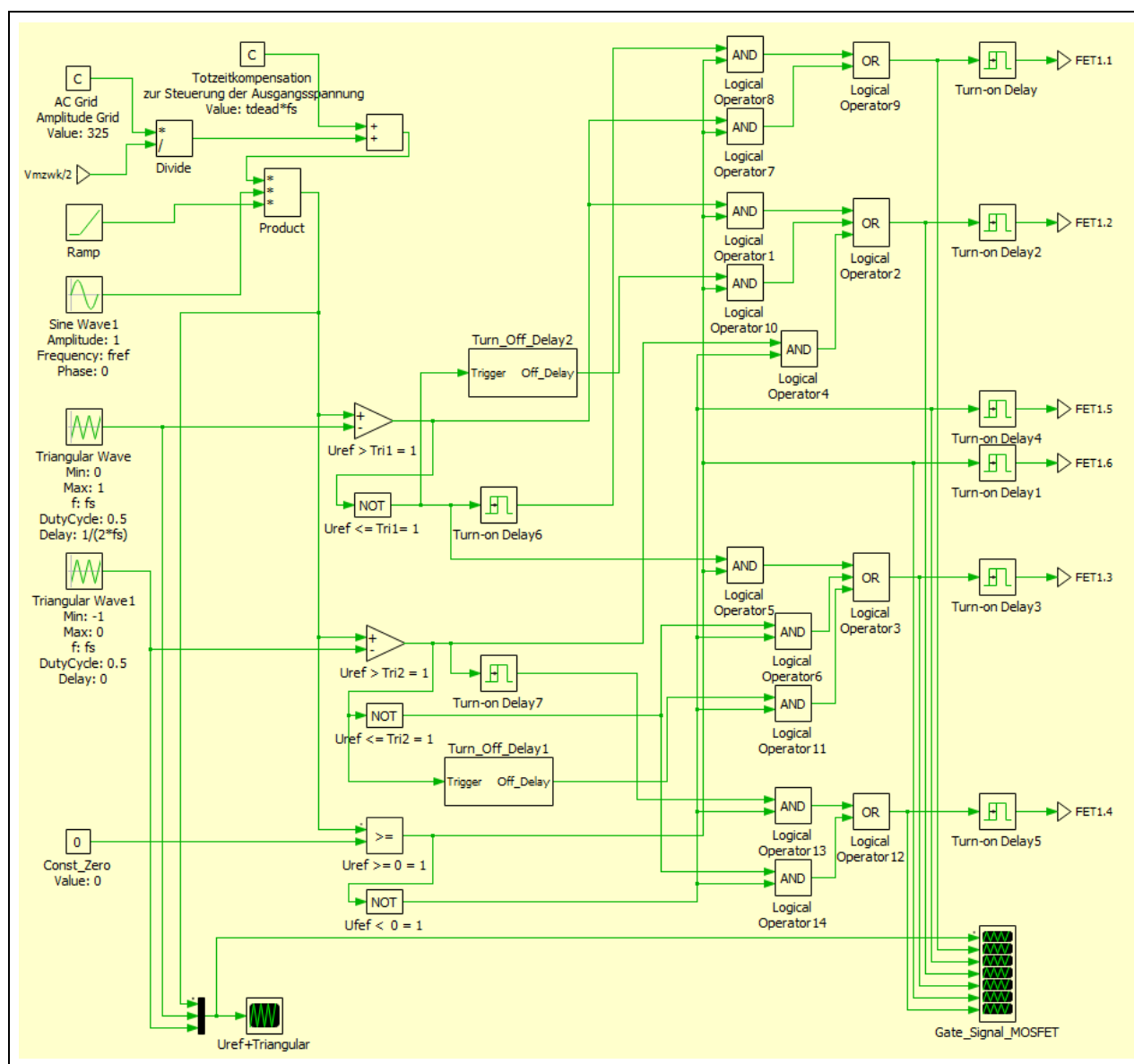


Abb. 83: Ansteuerungscontroller zur Simulation der Modulationsstrategie ANPC-SSLD in PLECS

9.6 PLECS-Scripts zur automatisierten Simulationsdurchführung

PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Verzögerungszeiten

```

1 mdl = plecs('get', '', 'CurrentCircuit');
2 scopepath1 = [mdl '/Electrical Measurement/Wirkungsgrad'];
3 scopepath2 = [mdl '/Electrical Measurement/Scope_for_THD'];
4 scopepath3 = [mdl '/Loos Distribution/Looses FET + D 1.1, 1.2, 1.5'];
5 scopepath4 = [mdl '/Loos Distribution/Total Looses FET & D 1.x'];
6
7 loadStructure = struct(); %'tdead', 500*e-9
8 varStructure = struct('ModelVars', loadStructure);
9 plecs('scope', scopepath1, 'ClearTraces');
10 plecs('scope', scopepath2, 'ClearTraces');
11 plecs('scope', scopepath3, 'ClearTraces');
12 plecs('scope', scopepath4, 'ClearTraces');
13
14 RVals1 = [793.70, 396.85, 198.42, 132.28, 99.21, 79.37, 66.14, 56.69, 49.61, 44.09, 39.68, 36.08];
15 RVals2 = [0,0, 3.97, 7.94, 11.91, 15.87, 19.84, 23.81, 27.78, 31.75, 35.72, 39.68];
16 LVals = [0.126, 0.126, 0.124, 0.121, 0.116, 0.109, 0.101, 0.090, 0.076, 0.055, 0.0];
17 TdeadVals = [0, 100, 200, 300, 400, 500, 600, 700, 800, 900, 1000];
18 cosPhiVals = [0.0, 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1.0]
19
20 for ix = 1:length(TdeadVals)
21     varStructure.ModelVars.R_Load = RVals1(11);
22     varStructure.ModelVars.tdead = TdeadVals(ix)*1e-9;
23     varStructure.ModelVars.L_Load = LVals(11);
24     plecs('simulate', varStructure);
25     plecs('scope', scopepath1, 'HoldTrace', ['Tdead = ' mat2str(TdeadVals(ix)) 'ns S=Sn, cosPhi = 1']);
26     plecs('scope', scopepath2, 'HoldTrace', ['Tdead = ' mat2str(TdeadVals(ix)) 'ns S=Sn, cosPhi = 1']);
27     plecs('scope', scopepath3, 'HoldTrace', ['Tdead = ' mat2str(TdeadVals(ix)) 'ns S=Sn, cosPhi = 1']);
28     plecs('scope', scopepath4, 'HoldTrace', ['Tdead = ' mat2str(TdeadVals(ix)) 'ns S=Sn, cosPhi = 1']);
29 end

```

Abb. 84: PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Verzögerungszeiten

PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Ausgangslasten

```

1 mdl = plecs('get', '', 'CurrentCircuit');
2 scopepath1 = [mdl '/Electrical Measurement/Wirkungsgrad'];
3 scopepath2 = [mdl '/Electrical Measurement/Scope_for_THD'];
4 scopepath3 = [mdl '/Loos Distribution/Looses FET + D 1.1, 1.2, 1.5'];
5 scopepath4 = [mdl '/Loos Distribution/Total Looses FET & D 1.x'];
6
7 loadStructure = struct() %'R_Load', 40
8 varStructure = struct('ModelVars', loadStructure);
9 plecs('scope', scopepath1, 'ClearTraces');
10 plecs('scope', scopepath2, 'ClearTraces');
11 plecs('scope', scopepath3, 'ClearTraces');
12 plecs('scope', scopepath4, 'ClearTraces');
13
14 RVals1 = [793.70, 396.85, 198.42, 132.28, 99.21, 79.37, 66.14, 56.69, 49.61, 44.09, 39.68, 36.08];
15 RVals2 = [0,0, 3.97, 7.94, 11.91, 15.87, 19.84, 23.81, 27.78, 31.75, 35.72, 39.68];
16 LVals = [0.126, 0.126, 0.124, 0.121, 0.116, 0.109, 0.101, 0.090, 0.076, 0.055, 0.0];
17 TdeadVals = [0, 100, 200, 300, 400, 500, 600, 700, 800, 900, 1000];
18 cosPhiVals = [0.0, 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1.0]
19
20 for jx = 1:length(RVals1)
21     varStructure.ModelVars.R_Load = RVals1(jx);
22     varStructure.ModelVars.tdead = TdeadVals(6)*1e-9;
23     varStructure.ModelVars.L_Load = LVals(11);
24     plecs('simulate', varStructure);
25     plecs('scope', scopepath1, 'HoldTrace', ['R = ' mat2str(RVals1(jx)) 'ohm, Tdead = 500ns, cosPhi = 1']);
26     plecs('scope', scopepath2, 'HoldTrace', ['R = ' mat2str(RVals1(jx)) 'ohm, Tdead = 500ns, cosPhi = 1']);
27     plecs('scope', scopepath3, 'HoldTrace', ['R = ' mat2str(RVals1(jx)) 'ohm, Tdead = 500ns, cosPhi = 1']);
28     plecs('scope', scopepath4, 'HoldTrace', ['R = ' mat2str(RVals1(jx)) 'ohm, Tdead = 500ns, cosPhi = 1']);
29 end

```

Abb. 85: PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Ausgangslasten

PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Leistungsfaktoren

```

1 mdl = plecs('get', '', 'CurrentCircuit');
2 scopepath1 = [mdl '/Electrical Measurement/Wirkungsgrad'];
3 scopepath2 = [mdl '/Electrical Measurement/Scope_for_THD'];
4 scopepath3 = [mdl '/Loos Distribution/Looses FET + D 1.1, 1.2, 1.5'];
5 scopepath4 = [mdl '/Loos Distribution/Total Looses FET & D 1.x'];
6
7 loadStructure = struct(); %'L_Load', 0.0, 'R_Load', 40
8 varStructure = struct('ModelVars', loadStructure);
9 plecs('scope', scopepath1, 'ClearTraces');
10 plecs('scope', scopepath2, 'ClearTraces');
11 plecs('scope', scopepath3, 'ClearTraces');
12 plecs('scope', scopepath4, 'ClearTraces');
13
14 RVals1 = [793.70, 396.85, 198.42, 132.28, 99.21, 79.37, 66.14, 56.69, 49.61, 44.09, 39.68, 36.08];
15 RVals2 = [0.0*1e-9, 3.97, 7.94, 11.91, 15.87, 19.84, 23.81, 27.78, 31.75, 35.72, 39.68];
16 LVals = [0.126, 0.126, 0.124, 0.121, 0.116, 0.109, 0.101, 0.090, 0.076, 0.055, 0.0*1e-9];
17 TdeadVals = [0, 100, 200, 300, 400, 500, 600, 700, 800, 900, 1000];
18 cosPhiVals = [0.0, 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1.0]
19
20 for kx = 1:length(LVals)
21     varStructure.ModelVars.R_Load = RVals2(kx);
22     varStructure.ModelVars.tdead = TdeadVals(6)*1e-9;
23     varStructure.ModelVars.L_Load = LVals(kx);
24     varStructure.ModelVars.StopTime = 0.5;
25     varStructure.ModelVars.Tramp = 10;
26     plecs('simulate', varStructure);
27     plecs('scope', scopepath1, 'HoldTrace', ['CosPhi = ' mat2str(cosPhiVals(kx)) ' Tdead = 500ns, S = Sn']);
28     plecs('scope', scopepath2, 'HoldTrace', ['CosPhi = ' mat2str(cosPhiVals(kx)) ' Tdead = 500ns, S = Sn']);
29     plecs('scope', scopepath3, 'HoldTrace', ['CosPhi = ' mat2str(cosPhiVals(kx)) ' Tdead = 500ns, S = Sn']);
30     plecs('scope', scopepath4, 'HoldTrace', ['CosPhi = ' mat2str(cosPhiVals(kx)) ' Tdead = 500ns, S = Sn']);
31 end

```

Abb. 86: PLECS-Script für die automatisierte Simulationsdurchführung verschiedener Leistungsfaktoren

9.7 PLECS-Simulationsergebnisse der maximalen Spannungen an den Halbleitern für verschiedene $\cos(\varphi)$ Werte

U_Para_ANPC-11-Sync

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	350	350
0.1	350	350	350
0.2	350	350	350
0.3	350	350	350
0.4	350	350	350
0.5	350	350	350
0.6	350	350	350
0.7	350	350	350
0.8	350	351	350
0.9	350	368	350
1	350	350	350

Tab. 19: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-11-Sync

U_Para_ANPC-12

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	583	350
0.1	350	583	350
0.2	350	583	350
0.3	350	583	350
0.4	350	583	350
0.5	350	583	350
0.6	350	583	350
0.7	350	583	350
0.8	350	583	350
0.9	350	583	350
1	350	350	350

Tab. 20: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-12

U_Para_ANPC-DF

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	584	350
0.1	350	584	350
0.2	350	584	350
0.3	350	584	350
0.4	350	584	350
0.5	350	584	350
0.6	350	584	350
0.7	350	584	350
0.8	350	584	350
0.9	350	584	350
1	350	404	350

Tab. 21: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-DF

U_Para_ANPC-ALD

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	350	350
0.1	350	350	350
0.2	350	350	350
0.3	350	350	350
0.4	350	350	350
0.5	350	350	350
0.6	350	350	350
0.7	350	350	350
0.8	350	350	350
0.9	350	350	350
1	350	350	350

Tab. 22: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-ALD

U_Para_ANPC-R2:1

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	583	350
0.1	350	583	350
0.2	350	583	350
0.3	350	583	350
0.4	350	583	350
0.5	350	583	350
0.6	350	583	350
0.7	350	583	350
0.8	350	583	350
0.9	350	583	350
1	350	488	350

Tab. 23: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-R2:1

U_Para_ANPC-OOZS

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	350	350
0.1	350	350	350
0.2	350	350	350
0.3	350	350	350
0.4	350	350	350
0.5	350	350	350
0.6	350	350	350
0.7	350	350	350
0.8	350	350	350
0.9	350	350	350
1	350	350	350

Tab. 24: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-OOZS

U_Para_ANPC-SSLD

Var_CosPhi	Max MOSFET 1.1 Voltage	Max MOSFET 1.2 Voltage	Max MOSFET 1.5 Voltage
0	350	583	350
0.1	350	583	350
0.2	350	583	350
0.3	350	583	350
0.4	350	583	350
0.5	350	583	350
0.6	350	583	350
0.7	350	583	350
0.8	350	583	350
0.9	350	583	350
1	350	350	350

Tab. 25: Simulationsergebnisse für die Messung parasitärer Überspannungen für die Modulationsstrategie ANPC-SSLD

9.8 Neu entwickelte Schaltmusterkombination basierend auf den Modulationsstrategien ANPC-DF und -OOZS

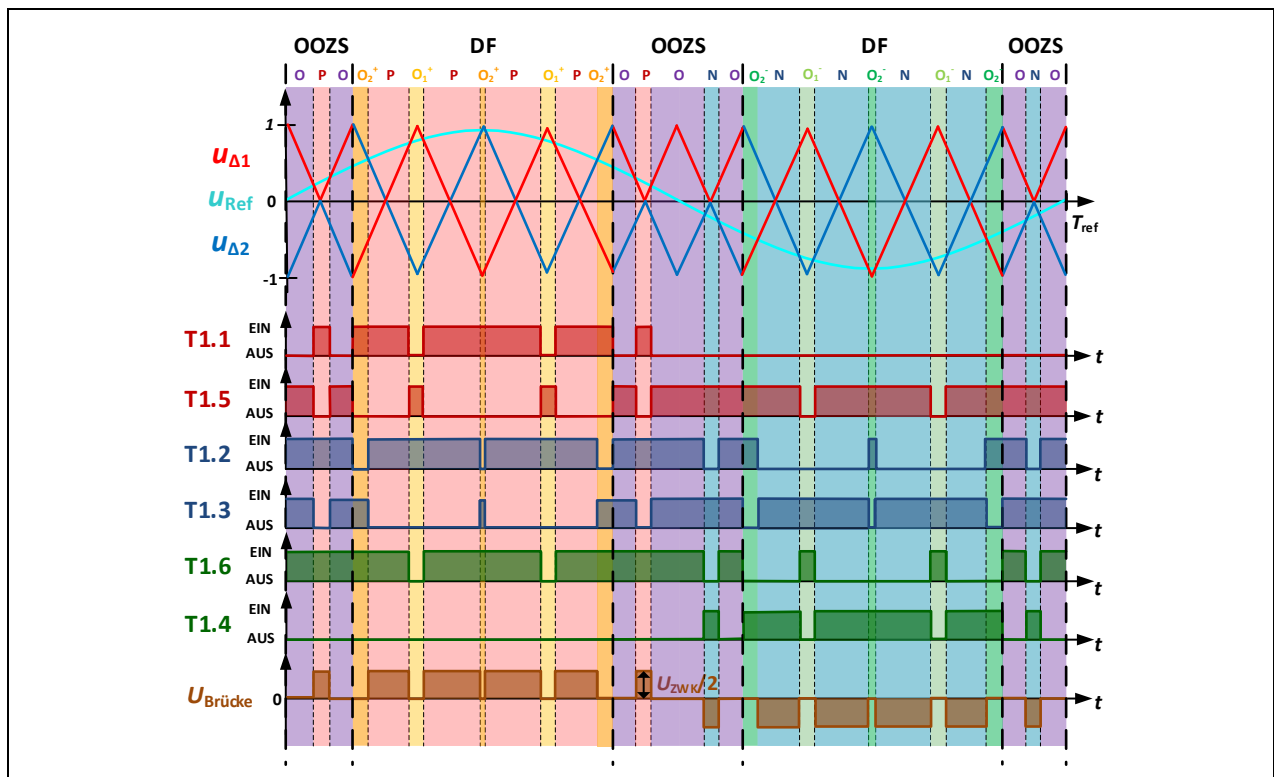


Abb. 87: Neu entwickeltes Schaltmuster für eine mögliche Kombination der Modulationsstrategien ANPC-DF und -OOZS zur Unterbindung der Überspannungen im Nulldurchgang der ANPC-DF-Strategie für den einphasigen Umrichter-Betrieb